

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

500.40568X00



Applicant(s): OUCHI, et al.  
Serial No.: Not yet assigned  
Filed: August 27, 2001  
Title: IMAGE DISPLAY APPARATUS  
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

August 27, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2001-098862, filed March 30, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Alan E. Schiavelli  
Registration No. 32,087

AES/alb  
Attachment  
(703) 312-6600

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

1c978 U.S. PTO

09/938541



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 3月30日

出 願 番 号  
Application Number:

特願2001-098862

出 願 人  
Applicant(s):

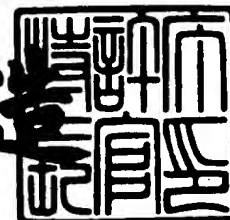
株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3073648

【書類名】 特許願

【整理番号】 NT01P0258

【提出日】 平成13年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

【氏名】 大内 貴之

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

【氏名】 金子 好之

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内

【氏名】 佐藤 敏浩

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

【氏名】 三上 佳朗

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】 ビット数  $m$  のデジタルデータの画像信号をビット数  $m$  により定まる階調数で多階調表示する画像表示装置であって、

マトリクス上に配列された画素内にデータ保持機能を保有し、保持したデータに従って表示する表示部と、前記表示部を構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、垂直ドライブ回路により選択された行の表示素子に対し、表示すべき画像信号のデジタルデータに応じてあらかじめ割り当てられた 2 値の電圧の中から電圧を書き込む水平ドライブ回路と、前記水平、垂直ドライブ回路をして、表示すべき前記画像信号に同期し、1 フレーム期間において少なくとも  $m$  回各表示画素を選択走査せしめることにより多階調表示する画像表示装置において、

前記垂直ドライブ回路は、 $n < m$  である  $n$  個の順序回路とその出力の論理演算回路とからなり、前記順序回路の入力が最終段から出力されるまでの期間が 1 フレーム期間の  $1/2$  以下であり、かつ前記  $n$  個の前記順序回路の少なくとも一つの入力が複数の入力系統を切り替えて用いることを特徴とする画像表示装置。

【請求項 2】 ビット数  $m$  のデジタルデータの画像信号をビット数  $m$  により定まる階調数で多階調表示する画像表示装置であって、

マトリクス上に配列された画素内にデータ保持機能を保有し、保持したデータに従って表示する表示部と、前記表示部を構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、垂直ドライブ回路により選択された行の表示素子に対し、表示すべき画像信号のデジタルデータに応じてあらかじめ割り当てられた 2 値の電圧のなかから電圧を書き込む水平ドライブ回路と、表示すべき画像信号のデータビットに応じてあらかじめ表示期間が、前記水平、垂直ドライブ回路をして、表示すべき前記画像信号に同期し、1 フレーム期間において少なくとも  $m$  回各表示画素を選択走査せしめ、かつ表示すべき画像信号のデータビットに応じてあらかじめ表示期間が定められていることにより多階調表示する画像表示装置において、

前記垂直ドライブ回路は、 $n < m$ である  $n$  個の順序回路とその出力の論理演算回路とからなり、前記順序回路の入力が最終段から出力されるまでの期間が連続して入力される任意の  $n$  ビットの表示期間の総和の最小値よりも短く、そのうち少なくとも一つの前記順序回路の入力が複数の入力系統を切り替えて用いることを特徴とする画像表示装置。

【請求項 3】 請求項 2 において、

前記順序回路の入力が該順序回路の最終段から出力されるまでの期間よりも、最大重み付けビットの発光期間が長い場合には、その発光期間を 2 分して 1 フレーム期間において 2 度に分けて入力することを特徴とする画像表示装置。

【請求項 4】 請求項 1 から 3 のいずれかにおいて、

前期垂直ドライブ回路は各フレーム期間に、前記画像信号のデジタルデータと対応しない走査パルスが発生させ、該走査パルスによって選択走査される行に対して、前記水平ドライブ回路からのデータをすべて非表示とすることを特徴とする画像表示装置。

【請求項 5】 ビット数  $m$  のデジタルデータの画像信号をビット数  $m$  により定まる階調数で多階調表示する画像表示装置であって、

マトリクス上に配列された画素内にデータ保持機能を保有し、保持したデータに従って表示する表示部と、前記表示部を構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、垂直ドライブ回路により選択された行の表示素子に対し、表示すべき画像信号のデジタルデータに応じてあらかじめ割り当てられた 2 値の電圧のなかから電圧を書き込む水平ドライブ回路と、前記垂直、水平ドライブ回路をして、表示すべき前記画像信号に同期して、1 フレーム期間において少なくとも  $m$  回各表示画素を選択走査せしめることにより多階調表示する画像表示装置において、

前記垂直ドライブ回路によって選択走査される行に同期して、前記水平ドライブ回路は、 $n < m$ である  $n$  個のラインデータラッチ回路とからなり、該データラッチ回路のビット毎の出力と水平走査期間を分割する制御信号との積からなる論理信号を順次加えた結果に応じて前記表示素子の表示信号を出力し、かつ該ラインデータラッチ回路のうち少なくとも一つの入力は複数のビットデータ信号を切り

替えて入力することを特徴とする画像表示装置。

【請求項 6】 請求項 1 から 5 のいずれかにおいて、

前記垂直ドライブ回路は、ビット毎に順序回路とその出力の論理演算結果と水平走査期間を分割する制御信号との積からなる論理信号を順次加えた結果に応じて、前記アクティブマトリクス of 垂直走査線に加える電圧を規定することを特徴とする画像表示装置。

【請求項 7】 請求項 1 から 6 のいずれかにおいて、

前記表示素子は、前記アクティブマトリクス of 垂直走査線にゲートを、水平走査線にドレインを接続された第一の薄膜トランジスタと、該第一の薄膜トランジスタのソースに第二の薄膜トランジスタのゲートと蓄積容量の電極が接続され、該第二の薄膜トランジスタに有機 LED が接続され、画像信号が前記蓄積容量に保持される期間は、前記有機 LED に電流が流れ続けることにより表示状態が保持されることを特徴とする画像表示装置。

【請求項 8】 請求項 1 から 7 のいずれかにおいて、

前記垂直ドライブ回路および水平ドライブ回路は、アクティブマトリクス基板上に薄膜トランジスタにより構成されていることを特徴とする画像表示装置。

【請求項 9】 基板上に表示部及び駆動回路部を形成し、ビット数  $m$  のデジタルデータの画像信号をビット数  $m$  により定まる階調数で多階調表示する画像表示装置において、

前記駆動回路部は垂直ドライブ回路と水平ドライブ回路を有しており、前記垂直ドライブ回路は  $n < m$  である  $n$  個の順序回路と、該順序回路のそれぞれの出力側に接続された論理演算を有し、前記順序回路の少なくとも一つは、1 フレーム期間中に複数の入力があることを特徴とする画像表示装置。

【請求項 10】 基板上に表示部及び駆動回路部を形成し、ビット数  $m$  のデジタルデータの画像信号をビット数  $m$  により定まる階調数で多階調表示する画像表示装置において、

前記駆動回路部は垂直ドライブ回路と水平ドライブ回路を有しており、前記水平ドライブ回路は  $n < m$  である  $n$  個のラインデータラッチ回路を有し、該ラインデータラッチ回路の少なくとも一つには複数のビットデータが入力され、該ライ

ンデータラッチ回路のビット毎の出力と水平走査期間を分割する制御信号との積を有する論理信号を順次加えた結果に応じて前記表示部を制御することを特徴とする画像表示装置。

【請求項 1 1】 請求項 1 から 1 0 のいずれかにおいて、

6 ビットのデジタルデータの画像信号を 1 フレームの中で各ビットに応じて重み付けされた表示期間を制御して多階調表示するものであって、

前記垂直ドライブ回路は 3 個の順序回路と、該順序回路のそれぞれの出力側に接続された論理演算を有し、重み付けが最大ビットの発光期間を 2 分して 1 フレーム中に少なくとも 7 回各表示画素を選択走査し、かつ連続して入力される任意の 3 ビットの発光期間の総和の最小値が、前記順序回路の入力が該順序回路の最終段から出力されるまでの期間より大きくなるようにビットデータの入力順が定められることを特徴とする画像表示装置。

【請求項 1 2】 請求項 1 から 1 0 のいずれかにおいて、

8 ビットのデジタルデータの画像信号を 1 フレームの中で各ビットに応じて重み付けされた表示期間を制御して多階調表示するものであって、

前記垂直ドライブ回路は 3 個の順序回路と、該順序回路のそれぞれの出力側に接続された論理演算を有し、重み付けが最大ビットの発光期間を 2 分して 1 フレーム中に 9 回各表示画素を選択走査し、かつ連続して入力される任意の 3 ビットの発光期間の総和の最小値が、前記順序回路の入力が該順序回路の最終段から出力されるまでの期間より大きくなるようにビットデータの入力順が定められることを特徴とする画像表示装置。

【請求項 1 3】 デジタルデータの画像信号を多階調表示する画像表示装置において、

デジタル画像信号入力を少なくとも 1 フレーム分保持するためのメモリと、

マトリクス上に配列された画素内にデータ保持機能を保有し、保持したデータに従って表示する表示部と、

前記表示部を構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、

前記垂直ドライブ回路により選択された行の表示素子に対し、表示すべき画像



信号のデジタルデータに応じてあらかじめ割り当てられた 2 値の電圧のなかから電圧を書き込む水平ドライブ回路と、

前記水平、垂直ドライブ回路をそれぞれ駆動するための走査パルスが発生するためのパルス発生回路と、

垂直走査パルス及び前記メモリから出力される画像データを、それぞれ前記垂直ドライブ回路と前記水平ドライブ回路に入力するときに、ビット毎に選択切替するためのビット選択回路と、

各走査パルスと前記メモリの出力が前記表示素子で同期するように制御する制御回路とで構成されることを特徴とする画像表示装置。

【請求項 1 4】 請求項 1 3 において、

前記表示部と、前記垂直ドライブ回路と、前記水平ドライブ回路が同一基板上に構成されることを特徴とする画像表示装置。

【請求項 1 5】 デジタルデータの画像信号を多階調表示する画像表示装置において、

デジタル画像信号入力を少なくとも 1 フレーム分保持し、かつ任意の 1 ビットデータを出力する機能を持つメモリと、

マトリクス上に配列された画素内にデータ保持機能を保有し、保持したデータに従って表示する表示部と、

前記表示部を構成するマトリクス状の表示素子を行毎に順次選択走査する垂直ドライブ回路と、

前記垂直ドライブ回路により選択された行の表示素子に対し、表示すべき画像信号のデジタルデータに応じてあらかじめ割り当てられた 2 値の電圧のなかから電圧を書き込む水平ドライブ回路と、

前記垂直、水平ドライブ回路をそれぞれ駆動するための走査パルスが発生するためのパルス発生回路と、

垂直走査パルス及び前記メモリから出力される画像データを、それぞれ前記垂直ドライブ回路と前記水平ドライブ回路に入力するときに、ビット毎に選択切替するためのビット選択回路と前記垂直ドライブ回路及び前記水平ドライブ回路と同一基板上にあって、走査パルスと前記メモリの出力とが表示素子で同期するよ

うに制御する制御回路を含んで構成されることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス型の画像表示装置に係り、特にある選択期間に書き込まれた信号電圧を該選択期間以外も保持し、その信号電圧によって表示素子の電気光学特性を制御する画像表示装置に関し、さらに詳しくは、上記信号電圧は2値であり、その信号電圧の保持期間を表示すべき映像信号のレベルに応じて制御することにより画像の多階調表示を行う画像表示装置に関するものである。

【0002】

【従来技術】

近年、高度情報化社会の到来に伴い、パーソナルコンピュータ、携帯情報端末、情報通信機器あるいはこれらの複合製品の需要が増大している。これらの製品には、薄型、軽量、高速応答のディスプレイが好適であり、自発光型の有機LED素子（OLED）などによる表示装置が用いられている。

【0003】

従来の有機LED表示装置の画素は、図21のようなものとなる。同図（a）において、ゲート線22とデータ線21の各交点に第一の薄膜トランジスタ（TFT） $T_{sw23}$ が接続され、これにデータを蓄積する容量 $C_{s25}$ 、有機LED26に流す電流を制御する第二の薄膜トランジスタ $T_{dr24}$ が接続されている。

【0004】

これを駆動する波形は、同図（b）に示す通りである。データ信号 $V_{sig28}$ に応じた電圧が、ゲート電圧 $V_{gh29}$ でオンされる第一のTFTのトランジスタを介して第二のTFTのゲート電極に印加される。この第二のTFTのゲートに印加された信号電圧により第二のTFTの導電率が定まり、電流供給線27に印加される電圧 $V_{dd}$ が、TFTと負荷素子である有機LED素子との間で分圧されて有機LED素子に流れる電流が定まる。ここで、 $V_{sig}$ がアナログ的

に多値をとる構成では、第二のTFTの特性が表示装置の表示領域にわたって均一であることが要求される。しかし、非単結晶シリコンで能動層が構成されるTFTの電気的特性の不均一性により上記要求を満たすことが難しい。

## 【0005】

これを解決するために、第二のTFTをスイッチとして用い、有機LED素子に流す電流をオンとオフの2値とするデジタル駆動方式が提案されている。階調表示は、電流を流す時間を制御することにより実現する。この公知例としては、特開平10-214060号が知られている。

## 【0006】

その駆動のダイアグラムを図22に示す。同図の縦軸は垂直方向の走査線の位置であり、横軸は時間で、1フレーム分を示してある。上記公知例による駆動では、1フレーム期間を4個のサブフレームに分け、各サブフレーム内で共通の長さを有する垂直走査期間と、長さがサブフレームにより1, 2, ...,  $2^4=64$ に重み付けされた発光期間が設けられている。

## 【0007】

## 【発明が解決しようとする課題】

上記のように、垂直走査期間と発光期間を分離する方式によると、文字どおり垂直走査期間は発光に供することができないので、1フレームに占める発光時間が短縮されてしまう。発光時間を確保するためには、垂直走査期間を短くしなければならない。しかし、ほぼ、垂直走査期間／垂直走査線数 $m$ の間だけ $T_{sw}$ のオン時間となるので、アクティブマトリクスに固有な配線容量、抵抗などを考慮すると、このオン時間を確保するためには十分大きな垂直走査期間が必要となる。例えば、8サブフレームの表示の場合、1サブフレームあたり約1ms程度の垂直走査期間が想定される。この場合は、発光に使える時間は約8msと1フレームの半分となるのに加え、1垂直走査は通常の約16倍速であることが要求される。

## 【0008】

これを解決するには、垂直走査を多重化し、垂直走査と発光を同時に進行させればよい。この時の駆動ダイアグラムは、図23に示すようなものとなる。図2

3は、3ビットの駆動例を示すものであり、3つの垂直走査と、表示が進行する状況が示されている。この駆動法の基本的な概念は、テレビジョン学会画像表示システム研究会資料11-4「AC形プラズマディスプレイによる中間調動画表示」（1973年3月12日）や、それをアクティブマトリクス液晶に適用した特許第2954329号に示唆されている。しかしながら、この垂直多重化の駆動法を実際に具体化する構成は明らかにされていない。

#### 【0009】

また、一般にデジタルデータを用いて高精細、多階調表示を行う場合には、データ数の増加により、駆動回路の動作速度を高速化する必要があると共に、駆動回路の回路規模も増大する。このため、デジタルデータを用いて高精細化、多階調化を進めていくと消費電力が増大するという問題があるため、低消費電力化することが求められる。

#### 【0010】

また、表示期間をいくつかのサブフレームに分割して各フレーム毎のオン・オフ表示を制御する手法では、テレビのように動画表示を行う場合に連続フレーム間でデータが混在し、動画像の画質が低下する問題がある。

#### 【0011】

本発明の目的は、上記した従来技術の状況に鑑み、デジタル駆動で高精細な画像表示を行う構成、かつ階調数を増しても消費電力の増加を抑える回路規模を低減した構成の画像表示装置を提供することにある。また、動画像を表示しても画質が劣化しないように、常時、非表示のサブフレームを設ける画像表示装置を提供することにある。

#### 【0012】

##### 【課題を解決するための手段】

上記目的を達成する本発明は、アクティブマトリクス方式の画像表示装置において、垂直走査を多重化し表示期間と垂直走査期間を同時に進行させて高画質のデジタル駆動表示をさせる構成を実現することにある。

#### 【0013】

本発明では、ビット数 $m$ のデジタルデータに対し $n < m$ である $n$ 個の順序回路

に前記複数ビットのデジタルデータを印加し、それらの出力の論理演算を行った結果にもとづき垂直走査線一段分の電圧状態を規定する構成としてこれらを多重化し、かつ前記順序回路の少なくとも一つは複数のビットデータを切り替えて入力し、及び／または、 $n$ 個のラインラッチに並列にデジタルデータを印加して、これらを上記多重化した垂直走査に同期させて出力させ、かつ前記ラインラッチの少なくとも一つは複数のビットデータを切り替えて入力する。

## 【 0 0 1 4 】

これにより、回路規模を抑え、消費電力を低減しながら、 $m$ ビットの階調表示を実現している。

## 【 0 0 1 5 】

## 【発明の実施の形態】

以下、図面を用いて本発明の複数の実施の形態を説明する。

## (実施例 1)

図 1 は、第 1 の実施の形態による画像表示装置の主要部のブロック図である。画像表示装置は、画像信号入力端子 1、A/D 変換器 2、メモリ 3、垂直走査パルス発生回路 4、水平走査パルス発生回路 5、垂直ドライバ 6、水平ドライバ 7、アクティブマトリクス有機 LED パネル 8、制御回路 9、入力切替器 10 からなる。また、入力部に入力切替器 10-1 を有する垂直ドライバ 6、同じく入力部に入力選択切替器 10-2 を有する水平ドライバ 7、アクティブマトリクス有機 LED パネル 8 をまとめて表示部 11 と呼ぶことにする。表示部 11 は、同一基板上による TFT 駆動の構成としている。

## 【 0 0 1 6 】

以下各ブロック図の動作を説明する。制御回路 9 では、入力された画像信号に同期した各種のコントロール信号を形成し、各回路に供給する。垂直走査パルス発生回路 4 では、制御回路 9 からのコントロール信号に基づき、有機 LED パネル 8 を垂直走査するためのパルスを発生し、入力切替器 10-1 を経て垂直ドライバ 6 を介して有機 LED パネル 8 を走査する。水平走査パルス発生回路 5 では、制御回路 9 からのコントロール信号に同期してメモリ 3 の各ビット毎の画像信号を入力切替器 10-2 を経て取り込み、水平方向に並ぶ表示画素への書込みパ

ルスを形成する。この書き込みパルスは、水平ドライバ7を介し垂直走査にタイミングを合せて有機LEDパネル8に印加される。

#### 【0017】

表示部11においては、垂直ドライバ6で選択された行の画素に対して、画像信号をA/D変換して得られたデジタルデータの各ビットに応じた所定の2値の電圧が、水平ドライバ7から出力され、その所定の電圧が各画素に書き込まれる。表示部11におけるアクティブマトリクス有機LEDパネルとしては、水平320画素、垂直240画素の表示領域を有する。

#### 【0018】

以上の駆動で階調を表示するには、図2に示されるような多重化垂直走査を行えばよい。図2(a)は、画像信号が6ビットのデジタルデータの場合である。最下位ビット(LSB)から最上位ビット(MSB)までをb0、b1、b2、b3、b4、b5とする。このとき各ビット毎に対応させてそれぞれ実線L0、L1、L2、L3、L4、L5に沿って位相をずらした形で走査させ、時分割的に走査すればよい。ここで各ビットの垂直走査期間をフレーム期間に対して1/2以下となるようにすれば、MSBであるb5の走査期間は、下位ビットのb0またはb1の走査期間と全く重ならない。

#### 【0019】

図2(b)に、(a)と同じ時間軸において各ビット毎のデータがパネルに出力される様子を示す。多重化垂直走査のために各ビット毎の処理回路を設けるとしたとき、各ビット処理回路BCnが表示のためのデータを出力している期間を、BC0~5それぞれについてb0~b5の枠で示している。垂直走査期間が短いと、図のようにBC5から出力されるb5のデータを、同期間にデータを出力していないBC1から出力しても問題ない。従って、例えば、b5とb1のデータを同じ出力回路を用いても、デジタルデータにしたがって各画素での有機LEDの発光時間が制御されるので、6ビットの場合は64階調の表示が可能になる。

#### 【0020】

図3に、垂直ドライバ6の構成を示す。この構成例では、ビット毎に垂直走査

制御の信号を足し合せることと、 $b_5$ と $b_1$ とで共通の出力回路を用いている。ここでは、データビット数より少ない5系統のシフトレジスタ12-0、12-1、12-2、12-3、12-4が、それぞれスタートパルス $G_{0st}$ 、 $G_{2st}$ 、 $G_{3st}$ 、 $G_{4st}$ 、及び選択スイッチで切り替えられる $G_{5st}$ または $G_{1st}$ によりシフト動作を開始する。これらシフトレジスタの出力を論理演算回路13-0、13-1、13-2、13-3、13-4に入力し、それぞれの論理演算回路の出力と、階調制御信号 $GDE_0$ 、 $GDE_1$ 、 $GDE_2$ 、 $GDE_3$ 、 $GDE_4$ の制御信号をそれぞれのビット毎に積和してゆき、最終出力がハイレベルになった時に垂直走査線 $G_1$ 、 $G_2$ 、 $\dots$ 、 $G_{240}$ に接続されたTFT、Tswがオンされる信号Vghが印加される。

## 【0021】

図4は、かかる構成の垂直ドライバに印加する制御動作波形を示したものである。図4(a)に示すように、時刻 $t=0$ にスタートパルス $G_{0st}$ が1H期間オンとなる(1Hは、水平走査期間)。この後、 $b_0$ の発光期間1L(1Lは、フレーム期間を表示階調数で分割した期間：6ビットでは約 $1/63$ フレーム期間で、かつ1Hの整数倍とし、ここでは、 $1L=9H$ とする。このときフレーム期間は、 $63L+6H=573H$ となる。)において、 $t=10H$ にスタートパルス $G_{1st}$ がオンとなり、その後、期間 $2L=18H$ において $t=29H$ にスタートパルス $G_{2st}$ がオンとなり、さらに $4L=36H$ において $t=66H$ にスタートパルス $G_{3st}$ が、さらに $8L=72H$ において $t=139H$ にスタートパルス $G_{4st}$ が、さらに $16L=144H$ において $t=284H$ にスタートパルス $G_{5st}$ がオンとなる。これらのスタートパルス間の期間は、それぞれ表示に用いられる。

## 【0022】

図4(b)に示すように、 $GDE_0$ 、 $GDE_1$ 、 $GDE_2$ 、 $GDE_3$ 、 $GDE_4$ は、1H期間をこの順に等間隔に分割したパルス列である。図2の中で時刻 $t=t_0$ で示した時間のよう、 $BC_0 \sim BC_4$ の各ビット回路すべてからデータ出力がある場合はこのようなパルス列を、図2の中で時刻 $t=t_1$ のように、 $BC_1$ 、 $BC_3$ 、 $BC_4$ からのみ出力がある場合には図4(c)に示すようなパル

ス列を、それぞれ図3の構成の垂直ドライバに印加すればよい。

#### 【0023】

ビット処理回路BC1でb1とb5を切り替えるとなると、最初の垂直走査線G1には、時刻0，時刻 $10 + (1/5)H$ ，時刻 $29 + (2/5)H$ ，時刻 $66 + (3/5)H$ ，時刻 $139 + (4/5)H$ ，時刻 $284 + (1/5)H$ のそれぞれに、期間約 $H/5$ だけTF Tがオンする電圧Vghが印加されることになる。上述したように垂直走査期間がフレーム期間の $1/2$ 以下の $240H$ であるとする、G1stからG5stまで及びG5stからG1stまでの間隔はそれぞれ $274H$ と $298H$ とであるため、同じシフトレジスタ12-1と論理演算回路13-1を共有しても時間的な重なりはない。また、 $1H$ をビット数分割している、同時刻に複数の垂直走査線に接続されたTF Tがオンして信号が混ざりあうことはない。

#### 【0024】

上記の構成による垂直ドライバは、シフトレジスタと論理演算回路部および積和部を単位として追加すれば、垂直方向の配線の増大を来たすことなく容易に表示ビット数を増やすことができる。一方で、上記構成のように入力を切り替えて複数ビットを同一の出力回路で処理することにより、デジタルデータのビット数の増加よりは、回路規模の増加を抑えることができる。また、発光時間の総和は1フレーム期間をほぼ用いることができ、発光の効率を高めることができる。

#### 【0025】

図5に、水平ドライバの構成を示す。水平ドライバ7は1系統のシフトレジスタとビット毎に、ラッチ回路14-0，14-1，14-2，14-3，14-4を設け、これらの出力とデータ出力制御信号DDE0，DDE1，DDE2，DDE3，DDE4を順次積和する構成である。ラッチ回路14-1の入力は選択スイッチをもうけてデータバスDB1とDB5を切り替えて用いる。

#### 【0026】

基本的な駆動波形を図6に示す。データバスDB0，DB1，DB2，DB3，DB4には、フレームメモリに蓄積された画像データから必要に応じて取り出された最大5ビット分の画像データが並列に出力され、各ラッチ回路15に入力



される。このデータ入力は、1 H期間内にシフトレジスタ出力に同期して水平方向画素数320回繰り返される。しかる後、データラッチ信号DLに基づいてラッチ回路内のラインメモリに格納される。次の1 H期間内にDDE0, DDE1, DDE2, DDE3, DDE4が順次オンとなっていく、デジタルデータに応じた高レベル電圧V<sub>dh</sub>、低レベル電圧V<sub>dl</sub>がデータ線に印加される。このデータ線への電圧印加のタイミングは、上に述べた垂直走査のタイミングと一致させる。

#### 【0027】

従って、図2の中で $t = t_1$ で表される時刻のように、5ビット中3ビットしか出力がない場合には図4(c)と同じように、図6(c)のようなパルス列が印加される。これにより、最下位ビットのデータによるV<sub>dh</sub>印加は1 L = 9 H保たれ、最上位ビットによるV<sub>dh</sub>印加は32 L = 288 H保たれるように構成される。

#### 【0028】

以上により、表示部11においては、有機LEDに流れる電流はオンオフの2値となるように制御される。すなわち、画素におけるスイッチトランジスタにおいて、ゲート信号V<sub>gh</sub>が、データ信号V<sub>dh</sub>、V<sub>dl</sub>と非飽和状態で動作する関係にあり、さらに、ドライバトランジスタにおいて、データ信号V<sub>dh</sub>が、有機LEDの電流供給線への印加電圧V<sub>dd</sub>と非飽和状態で動作する関係にある。蓄積容量C<sub>s</sub>は、スイッチトランジスタがオフ状態にあるときにドライバトランジスタのゲート電圧変動を抑制し、有機LEDに流れる電流変化による階調表示の変化をきたさないように設定される。

#### 【0029】

なお、本発明は上記の実施の形態に限定されるものではない。画素内のTF<sub>T</sub>の数は2個に限られず、これ以上でもよい。水平ドライバ、垂直ドライバをTF<sub>T</sub>で構成する例を示したが、アクティブマトリクス部との接続部分がTF<sub>T</sub>であれば本発明の効果が損われることがない。例えば、垂直ドライバのシフトレジスタ部分が外付けの集積回路で構成されてもよい。

#### 【0030】

また、上記では、有機LEDディスプレイに関して説明したが、表示素子は発光素子に限らず、その駆動回路構成が、他のアクティブマトリクス方式のディスプレイ、例えば高速スイッチする液晶や電界放射素子（FED）を用いたディスプレイにも適用できることはいうまでもない。

## 【0031】

多重化水平走査を行う場合、上記のように垂直走査期間  $T_{vsc}$  がフレーム期間  $T_{fr}$  の  $1/2$  以下であれば、データ出力期間の重ならない2つのビットデータを共通の出力回路で処理することができるため、垂直ドライブ回路、水平ドライブ回路双方から1ビット分の回路を削減できる。

## 【0032】

上記のように、1ビット分のデータを共有して垂直ドライバ回路から順序回路系及び水平ドライブ回路からラインラッチ回路を減少させた場合、フレーム期間中において順序回路あるいはラインラッチ回路全体に対して実際にデータが入力されて回路が利用されている割合は、動作率  $R_{mv}$  として（1）式のように定義される。

## 【0033】

$$R_{mv} = T_{vsc} \times m / (T_{fr} \times n) \quad \dots (1)$$

ただし、 $m$ ：入力ビット数、 $n$ ：垂直ドライバあるいは水平ドライバのビット処理回路BC数である。

## 【0034】

（1）式で、 $T_{vsc}/T_{fr}$  の比率  $R_{vs}$  が、例えば40%であった場合は、動作率は  $R_{mv} = R_{vs} \times m / n = 40 \times 6 / 5 = 0.48$  となり、48%にとどまる。これは、順序回路／ラインラッチ回路のうち、複数ビットで共有されていない4ビット分の回路の動作率がいずれも40%しかないためである。

## 【0035】

1H期間の長さとして考えると、順序回路またはラインラッチ回路を複数ビット間で共有せず、垂直走査期間  $T_{vsc}$  とフレーム期間  $T_{fr}$  が等しい場合は、実施例1と同じ垂直方向に240行で構成される表示装置の場合、 $1H = T_{vsc} / 240 = T_{fr} / 240$  となり、1ビットあたり選択期間は  $1H / 6 = T_{fr}$

$r / (6 \times 240) = T_{fr} / 1440$ となる。

【0036】

一方、実施例1のように順序回路またはラインラッチ回路を共有して、6ビットデータを5段の回路で処理する場合は、上記のように、垂直走査期間／フレーム期間の比率 $R_{vs}$ が、例えば40%であれば、 $1H = T_{vsc} / 240 = 0.4 \times T_{fr} / 240 = T_{fr} / 600$ となるので、1ビットあたりの選択期間は $1H / 5 = T_{fr} / (5 \times 600) = T_{fr} / 3000$ となり、複数ビットで回路を共有する場合に比べて1ビットあたりの選択期間は、 $(T_{fr} / 1440) / (T_{fr} / 3000) = 0.48$ となり、動作率 $R_{mv}$ の比率で短くなる。

【0037】

従って、実施例1では回路規模は減らすことに成功したが、さらに約2倍の速度で駆動を行うことになる。動作速度が増すと消費電力の増加にもつながるため、動作速度はなるべく低くすることが望ましい。

【0038】

このように、回路をより減らすためには、さらに垂直走査期間を短くすればよいが、 $1H$ の期間も短くなって、 $T_{FT}$ のオン時間も低下して画質を劣化させる要因となりうる。これを避けるためには、回路規模を削減しながらも、垂直走査期間はなるべく長くにとって、前記の順序回路あるいはラインラッチ回路全体の動作率 $R_{mv}$ を向上させることが必要になる。

【0039】

以下では、動作率 $R_{mv}$ を向上させる手順について説明する。前述したように、動作率は、 $R_{mv} = (\text{垂直走査期間}) \times (\text{入力ビット数 } m) / \{ (\text{フレーム期間}) \times (\text{順序orラインラッチ回路の段数 } n) \}$ であるから、比率 $R_{vs} = (\text{垂直走査期間}) / (\text{フレーム期間})$ を用いて、(2)式のように書き換えることができる。

【0040】

$$R_{mv} = R_{vs} \times m / n \quad \cdots (2)$$

このことから、ある入力ビット数 $m$ に対して、 $R_{mv}$ を大きくするには $R_{vs}$ を大きく、順序orラインラッチ回路の段数 $n$ をなるべく小さくすればよい。この

ような手法を実施例 2 で説明する。

(実施例 2)

図 2 のような動作条件において、ある時間で見たときに各ビットデータに対応して、前記垂直ドライブ回路の順序回路及びその論理演算回路または前記水平ドライブ回路のラインデータラッチ回路が動作する時間は、図 2 (b) に示したようなデータ利用時間となる。

【0041】

この例では、縦に示した線で示される時刻において 5 つのビットデータを利用しているため、少なくとも 5 個の垂直ドライブ回路の順序回路及びその論理演算回路、または水平ドライブ回路のラインデータラッチ回路が必要となる。つまり、 $m (> n)$  ビットのデジタルデータにより多階調表示される表示装置において、垂直ドライブ回路の順序回路及びその論理演算回路の個数が  $n$  個であるとき、 $n$  の最小値はフレーム期間中、同時刻に入力されるビットデータの個数の最大値に等しい。

【0042】

一方で、垂直走査期間  $T_{vsc}$  を最大値は次のように定義できる。 $m$  ビットの画像データの各ビットごとのフレーム内での発光期間  $t_{l0}$ ,  $t_{l1}$ ,  $\dots$ ,  $t_{lm}$  が決まっているとき、 $n$  段の順序回路 13 及びラインラッチ回路 15 でこれを表示するためには、あるデータが入力されてから  $n$  個目のデータが入力されるときに、前記あるデータの垂直走査期間  $T_{vsc}$  が終了していればよい。本発明の表示方式では、フレーム期間中の多くを表示期間に当てられることから、以下の議論ではデータ書き込み期間である水平選択期間  $1H$  を無視するものとする。

【0043】

あるデータが入力されてから  $n$  個目のデータが入力されるまでに経過する時間は、あるデータから  $n+1$  番目までの各ビットに割り当てられた発光期間の総和に等しいので、この値が常に  $T_{vsc}$  より大きければ、 $n$  段の回路で表示できることになる。

【0044】

例えば、フレーム期間を  $T_{fr} = 2^{m-1}L$  とし、 $m$  ビットの画像データ各ビッ

トごとのフレーム内での発光期間  $t_{10}, t_{11}, \dots, t_{1m}$  がそれぞれ発光期間  $t_{1x} (x=1, 2, \dots, m) = 2^{x-1}L$  となる時、データビットの入力順を  $DB_0, DB_m, \dots, DB_2, DB_{m-1}$  のように定めるとき、対応する発光期間  $t_{1x}$  を上記データビットの入力順に一致するように並び替えて作った順列の中から、連続する任意の  $n (< m)$  個からなる総和をすべて求めて、その最小値を  $T_{vscmax}$  と定めるとき、垂直走査期間  $T_{vsc} \leq T_{vscmax}$  となるように垂直走査期間  $T_{vsc}$  を定めれば、垂直駆動回路中の順序回路の段数  $n$  または水平駆動回路中のラインラッチ回路の段数  $n$  をデータビット  $m$  より少ない数で構成し、かつ駆動回路の動作率  $R_{mv}$  が最大となるように垂直走査期間  $T_{vsc}$  を決定でき、回路規模を小さく、かつ消費電力も少ない画像表示装置を構成することができる。

## 【 0 0 4 5 】

以下、6ビットの画像データ入力に対して垂直駆動回路及び水平駆動回路をそれぞれ3段の順序回路及びデータラインラッチ回路とで構成されるような画像表示装置において、駆動回路の動作率  $R_{mv}$  が最大となるような画像データの入力順の決め方について説明する。

## 【 0 0 4 6 】

フレーム期間を  $T_{fr} = 2^{6-1}L$  とし、画像データの各ビットごとのフレーム内での発光期間  $t_{10}, t_{11}, \dots, t_{16}$  がそれぞれ発光期間  $t_{1x} (x=1, 2, \dots, 6) = 2^{x-1}L$  で定められるとき、実施例1で説明したのと同様のデータ入力順：0, 1, 2, 3, 4, 5, 0, 1, 2, 3, 4, 5,  $\dots$ 、ビットごとの発光期間：1L, 2L, 4L, 8L, 16L, 32L, 1L, 2L, 4L, 8L, 16L, 32L,  $\dots$  のような順列となる。ここから、順に3ビットごとの発光期間の和をとっていくと、3ビットごとの発光期間の総和は以下ようになる。

## 【 0 0 4 7 】

発光期間の総和：7L, 14L, 28L, 56L, 49L, 35L, 7L, 14L, 28L, 56L, 49L, 35L,  $\dots$  となるので、 $T_{vscmax} = 7L$  であるから、動作率  $R_{mv} = 7L / 63L \times 6 / 3 = 0.22$  となって、動作率は最大22%である。

## 【 0 0 4 8 】

動作率向上のためには、3ビットごとの発光期間の総和の最小値が大きくなるようにしてやればよいので、発光期間の短いビットがなるべく連続しないような順序に変えればよい。発光期間の短いビットと発光期間の長いビットが交互に来るようにすると、データ入力順：0, 5, 1, 3, 2, 4, 0, 5, 1, 3, 2, 4, …, ビットごとの発光期間(tbx)：1L, 32L, 2L, 8L, 4L, 16L, 1L, 32L, 2L, 8L, 4L, 16L, …となる。

## 【 0 0 4 9 】

3ビットごとの発光期間の総和は、35L, 42L, 14L, 28L, 21L, 49L, 35L, 42L, …であるから、 $T_{vscmax} = 14L$ より、動作率は最大44%となり、実施例1のデータ入力順を用いる場合に比べて3倍に向上する。

## (実施例3)

上記のように、実施例2に示した手順でデータの並び替えを行うことで、6ビットの画像データでは、実施例1のデータ入力順を用いる場合に比べて動作率が2倍に向上した。しかしながら、動作率はまだ50%以下である。動作率をより向上させる手順を以下に説明する。

## 【 0 0 5 0 】

実施例2で説明したように、mビットの画像データを垂直ドライバ、水平ドライバにそれぞれn段のビット処理回路を持つ構成で実現するためには、垂直走査期間 $T_{vsc}$ が最小となる連続したnビットの発光期間の総和以下となることが必要である。

## 【 0 0 5 1 】

ここで、連続したnビットの発光期間の総和を $t_{lbn}$ とすると、 $t_{lbn}$ はあるデータが垂直駆動回路の順序回路または水平駆動回路のデータラインラッチ回路に入力されてから、同じ前記順序回路またはデータラインラッチ回路に次のデータが入力されるまでの時間を意味する。したがって、 $t_{lbn}$ から垂直走査期間 $T_{vsc}$ を差し引いた期間が同前記順序回路またはデータラインラッチ回路にデータが入力されていない、すなわち回路が使用されていない期間である。したがって、 $t_{lbn}$ の最大値 $t_{lbnmax}$ と、 $T_{vsc}$ の差を小さくできれば、回路の動作率を向上させることができる。 $T_{vsc} = t_{lbn}$ の最小値 $t_{lbn}$

$\min$ であるから、 $t_{lbn\min}/t_{lbn\max}$ を大きくすることに他ならない。

#### 【0052】

実施例2の場合、 $t_{lbn}$ の最小値 $t_{lbn\min}=T_{vsc\max}=14L$ で、 $t_{lbn\max}=49L$ と、その差は3倍以上である。この原因は、発光期間が最長であるビット5において、その発光期間 $t_{b5}=32L$ が $t_{lbn\min}$ より大きいことにある。つまり、 $t_{lbn}$ のうち、ビット5が含まれるものはそれだけで、 $t_{lbn\min}$ より大きいので、順序回路またはデータラインラッチ回路の非使用期間が長くなって、回路の動作率 $R_{mv}$ を低下させる。このため、発光期間が最長であるビットの発光期間が $t_{lbn\min}=T_{vsc\max}$ を越える場合には、これを2分して、2回に分けて入力を行うようにすればよい。

#### 【0053】

上記の手法を適用して6ビットデータを、3個の前記垂直ドライブ回路の順序回路及びその論理演算回路または前記水平ドライブ回路のラインデータラッチ回路で実現するための実施例を図7～図9に示す。

#### 【0054】

図7は、6ビットのデータを最大重みビットを2分して、垂直走査期間が長く、回路の動作率が高くなるようにデータの入力順を決定したときの多重垂直走査の様子と、そのときの各ビット処理回路から出力されるデータの様子を示している。

#### 【0055】

図8は、図7の動作を実現するための垂直ドライブ回路の構成例である。また、図9は、図7の動作を実現するための水平ドライブ回路の構成例である。図7に示すように、フレーム期間中で表示期間が最大の $b_5$ を2分すると、動作率 $R_{mv}=77\%$ となり、50%を大きく越えた値となる。

#### 【0056】

この実施例では、6ビットのデジタルデータに対して、前記垂直ドライブ回路の順序回路及びその論理演算回路、または前記水平ドライブ回路のラインデータラッチ回路の個数は半数の3ビット分ですみ、回路規模を非常に削減し、消費電

力を大きく下げることが可能である。6ビットの階調表示が可能であることからPCなどの画像表示装置として、良好な表示を提供することができる。

【0057】

また、発光期間が最長であるビットの発光期間を2分する手法として、上記では32Lを16Lずつの2回に等分したが、分けられた2つの発光期間は同じ長さである必要はなく、本発明の効果はこれに限定されるものではない。上記の例では動作率をより向上させるために17Lと15Lのように分けてもかまわないことは言うまでもなく、このとき動作率は最大値81%という値を示す。

(実施例4)

次に、8ビットデータを用いて、動作率が最も高くなる実施例を説明する。実施例3の手法を適用して、8ビットデータを垂直ドライブ回路及び水平ドライブ回路にそれぞれ3段のビット処理回路を有する構成で実現する実施例を図10～図12に示す。

【0058】

図10は8ビットのデータを最大重みビット（図では、b7）を2分して、垂直走査期間が長く、回路の動作率が高くなるようにデータの入力順を決定したときの多重垂直走査の様子と、そのときの各ビットの処理回路から出力されるデータの様子を示している。また図11は、図10の動作を実現するための垂直ドライブ回路の構成、図12は水平ドライブ回路の構成を示している。

【0059】

この実施例では、回路規模は上述の6ビットの画像表示装置と同じでありながら、さらに高画質の8ビットの表示を行うことが可能であり、回路規模削減、及び低消費電力化の効果がさらに大きい。また、入力切替部の構成はさらに6ビットの場合よりも単純化されており、切替制御がより単純に実現できるという特徴がある。

(実施例5)

次に、10ビットデータを用いて、動作率が最も高くなる実施例を説明する。実施例3の手法を適用して、10ビットデータを垂直ドライブ回路及び、水平ドライブ回路にそれぞれ4段のビット処理回路を有する構成で実現するための実施



例を図 1 3 ～ 図 1 5 に示す。

#### 【 0 0 6 0 】

図 1 3 は、1 0 ビットのデータを最大重みビット（図では、b 9）を 2 分して、垂直走査期間が長く、回路の動作率が高くなるようにデータの入力順を決定したときの多重垂直走査の様子と、そのときの各ビット処理回路から出力されるデータの様子を示している。図 1 4 は、図 1 3 の動作を実現するための垂直ドライブ回路の構成例である。図 1 5 は、図 1 3 の動作を実現するための水平ドライブ回路の構成例である。図 1 3 に示すように、フレーム期間中で表示期間が最大の b 9 を b 9\_a と b 9\_b とに 2 分すると、動作率  $R_{mv} = 85\%$  となる。

#### （実施例 6）

この実施例は、画質を向上させるために、フレーム期間中に常時、非表示となるサブフレームを設けている。上記と同様の駆動方法により、1 0 ビットデータを垂直ドライブ回路及び、水平ドライブ回路にそれぞれ 4 段のビット処理回路を有する構成で実現するための実施例を図 1 6 ～ 図 1 9 に示す。

#### 【 0 0 6 1 】

図 1 6 は、1 0 ビットのデータを最大重みビットを 2 分して垂直走査期間が長く、回路の動作率が高くなるようにデータの入力順を決定し、さらに各フレームに非発光である期間 bb（図では、黒く塗り潰されている）を設けたときの多重垂直走査の様子と、そのときの各ビット処理回路から出力されるデータの様子を示している。図 1 7 は、図 1 6 の動作を実現するための垂直ドライブ回路の構成例である。図 1 8 は、同様に図 1 6 の動作を実現するための水平ドライブ回路の構成例である。図 1 9 は、図 1 6 中に  $t = t_b$  で示された時刻における、垂直ドライブ及び水平ドライブに印加される駆動波形の一部である。

#### 【 0 0 6 2 】

非表時間はビット bb に対応し、垂直ドライブ回路はビット処理回路 B C 2 から選択走査パルスを出力させるための信号を出力させるため、選択スイッチの入力には  $G b s t$  が増えている。このとき G D E に印加される駆動波形は図 1 9（a）のようなパルス列である。水平ドライブ回路は図 1 9（b）に示されるようなパルス列が印加されるが、非表示のためデータを出力しないように、G D E 2 と

は異なり、DDE 2 の出力がオフとなっている。

#### 【0063】

このようなパルス列を出力するため、実施例 5 と比較して、ビットデータとビット処理回路の組合せが変化した以外は、回路構成に変化はない。図 16 に示すような駆動を行うことにより、動作率  $R_{mv} = 90\%$  となる。

#### （実施例 7）

図 20 に、表示部を構成する基板上にフレームメモリを実装する場合のブロック構成を示す。フレームメモリを同一基板上に構成することで、垂直走査に同期してメモリから取り出されたビットデータは直接水平ドライバに入力される。一般に、 $m$  ビットの画像データに対応するフレームメモリは  $m$  枚のメモリプレーンから構成され、 $m$  ビットのデータを同時に出力するが、フレームメモリを基板上に構成する場合は、制御信号によってメモリから出力されるデータアドレスのうち、ラインだけではなくビットまで指定できる構成となる。これにより、水平ドライバは 1 段のラインラッチ回路でよく、回路規模は小さくなり、消費電力を低減することができる。

#### 【0064】

#### 【発明の効果】

本発明によれば、デジタルデータに基づき表示素子の 2 値状態を制御して表示素子を駆動する画像表示素子において、1 フレーム期間内の表示期間の占める割合を大きくでき、また、垂直走査に割り当てられる時間を長くすることができるので、明るく高品質の画像表示を実現できると同時に垂直ドライブ回路の負荷を軽減でき、また、階調数が増えても回路規模と消費電力の増加を抑えて低コストな画像表示装置を実現できるという効果がある。

#### 【図面の簡単な説明】

#### 【図 1】

本発明の一実施の形態による画像表示装置のブロック図。

#### 【図 2】

実施例 1 の駆動ダイアグラムを説明するための説明図。

#### 【図 3】

実施例 1 の垂直ドライバの構成図。

【図 4】

実施例 1 の垂直ドライバの制御波形図。

【図 5】

実施例 1 の水平ドライバの構成図。

【図 6】

実施例 1 の水平ドライバの制御波形図。

【図 7】

実施例 3 による 6 ビット階調表示の駆動ダイアグラムを示す説明図。

【図 8】

実施例 3 による 6 ビット階調表示の垂直ドライバの構成図。

【図 9】

実施例 3 による 6 ビット階調表示の水平ドライバの構成図。

【図 1 0】

実施例 4 による 8 ビット階調表示の駆動ダイアグラムを示す説明図。

【図 1 1】

実施例 4 による 8 ビット階調表示の垂直ドライバの構成図。

【図 1 2】

実施例 4 による 8 ビット階調表示の水平ドライバの構成図。

【図 1 3】

実施例 5 による 1 0 ビット階調表示の駆動ダイアグラム示す説明図。

【図 1 4】

実施例 5 による 1 0 ビット階調表示の垂直ドライバの構成図。

【図 1 5】

実施例 6 による 1 0 ビット階調表示の水平ドライバの構成図。

【図 1 6】

実施例 7 によるフレーム期間中に非表示期間を有する 1 0 ビット階調表示の駆動ダイアグラムを示す説明図。

【図 1 7】

実施例 7 による垂直ドライバの構成図。

【図 1 8】

実施例 7 による水平ドライバの構成図。

【図 1 9】

実施例 7 による垂直ドライバ及び水平ドライバに印加する駆動波形図。

【図 2 0】

本発明の他の実施の形態による画像表示装置のブロック図。

【図 2 1】

従来例による有機 L E D の画素および駆動方法を示す説明図。

【図 2 2】

従来例による有機 L E D のデジタル駆動ダイアグラムを示す説明図。

【図 2 3】

垂直走査多重化の駆動ダイアグラムを示す説明図。

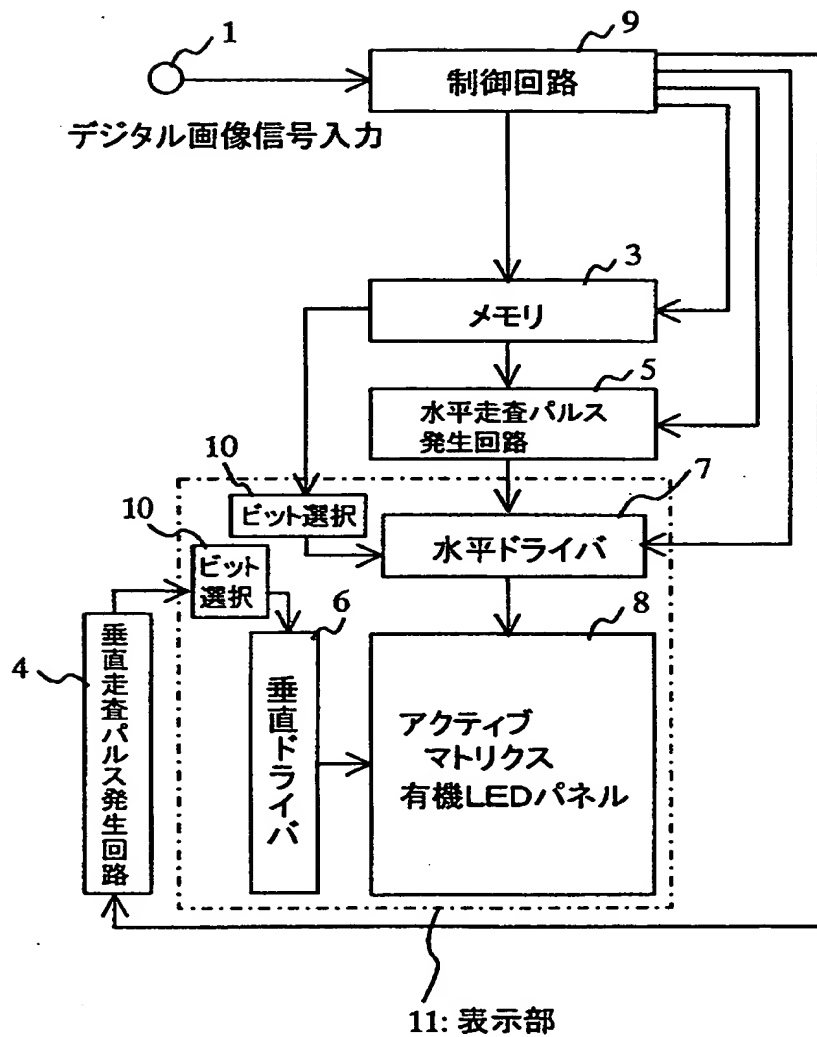
【符号の説明】

1 … 画像信号入力端子、 2 … A / D 変換器、 3 … メモリ、 4 … 垂直走査パルス発生回路、 5 … 水平走査パルス発生回路、 6 … 垂直ドライバ、 7 … 水平ドライバ、 8 … アクティブマトリクス有機 L E D パネル、 9 … 制御回路、 1 0 … 入力切替器、 1 1 … 表示部、 1 2 … シフトレジスタ、 1 3 … 論理演算回路、 1 5 … ラッチ回路。

【書類名】 図面

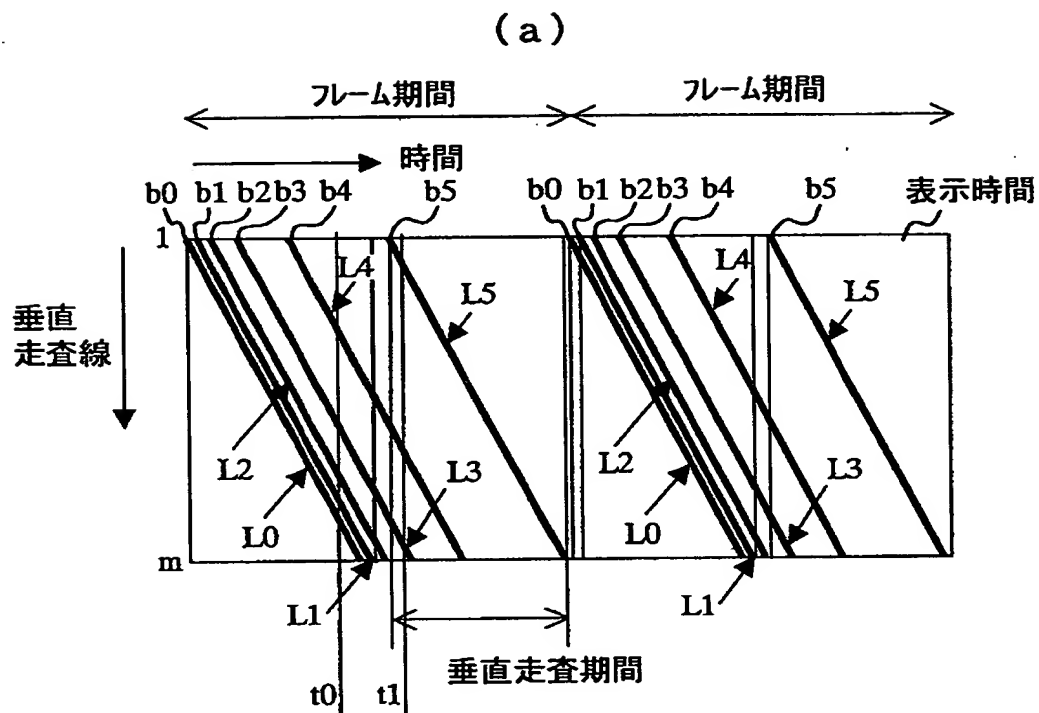
【図 1】

図 1

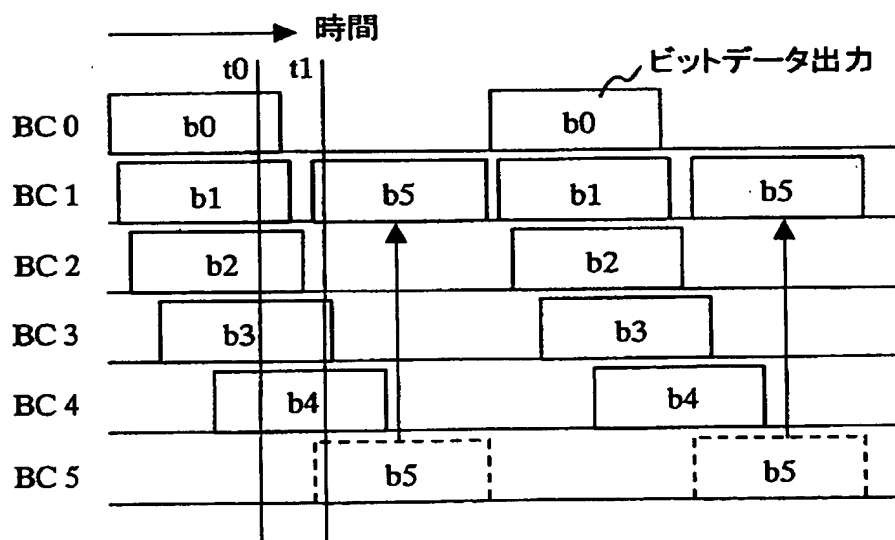


【図 2】

図 2

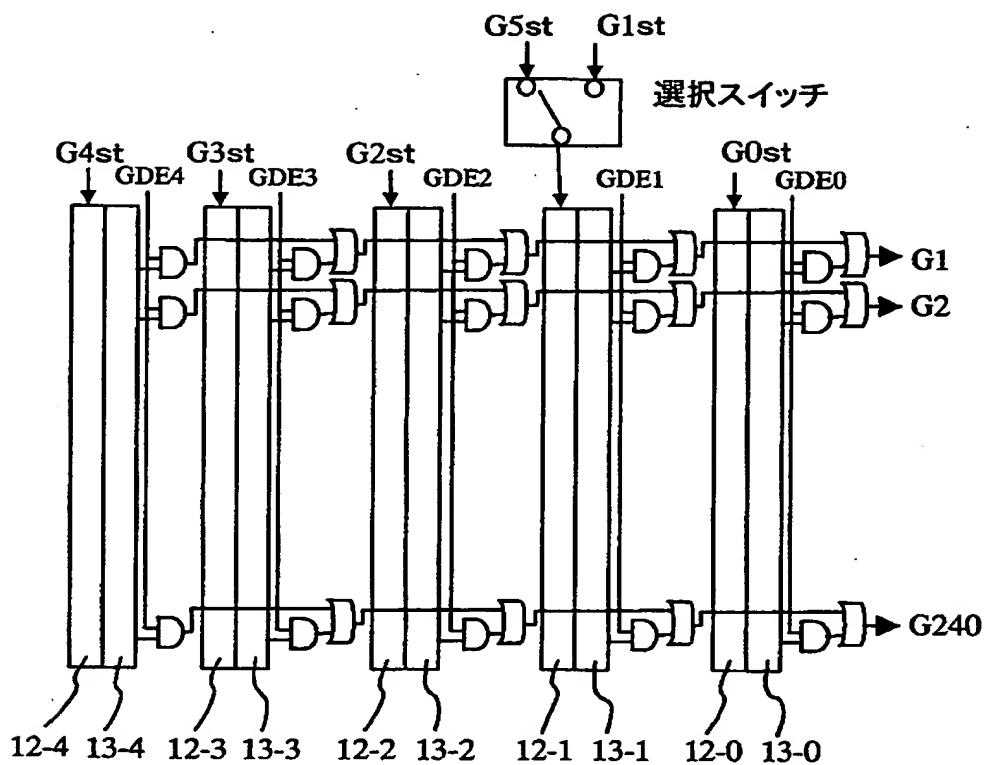


(b)



【図 3】

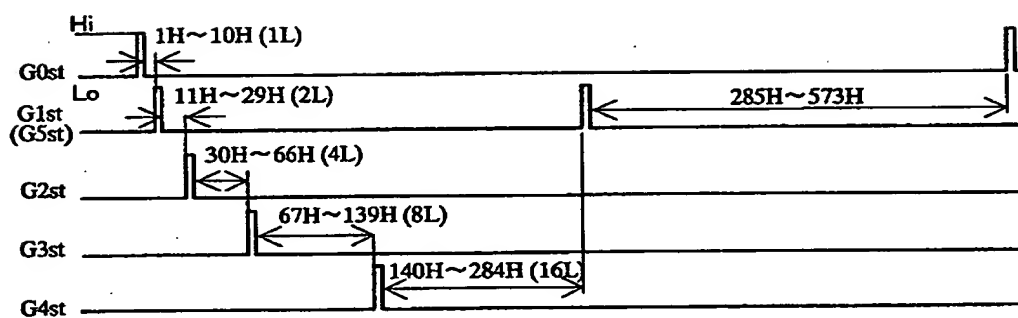
図 3



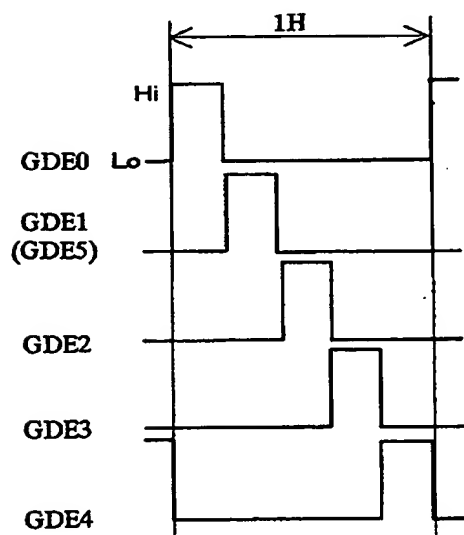
【図 4】

図 4

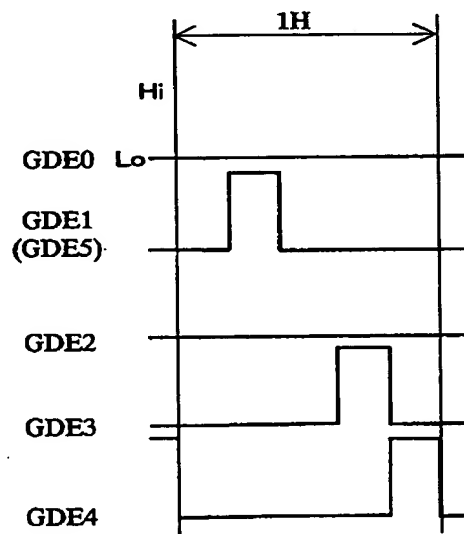
(a)



(b)



(c)

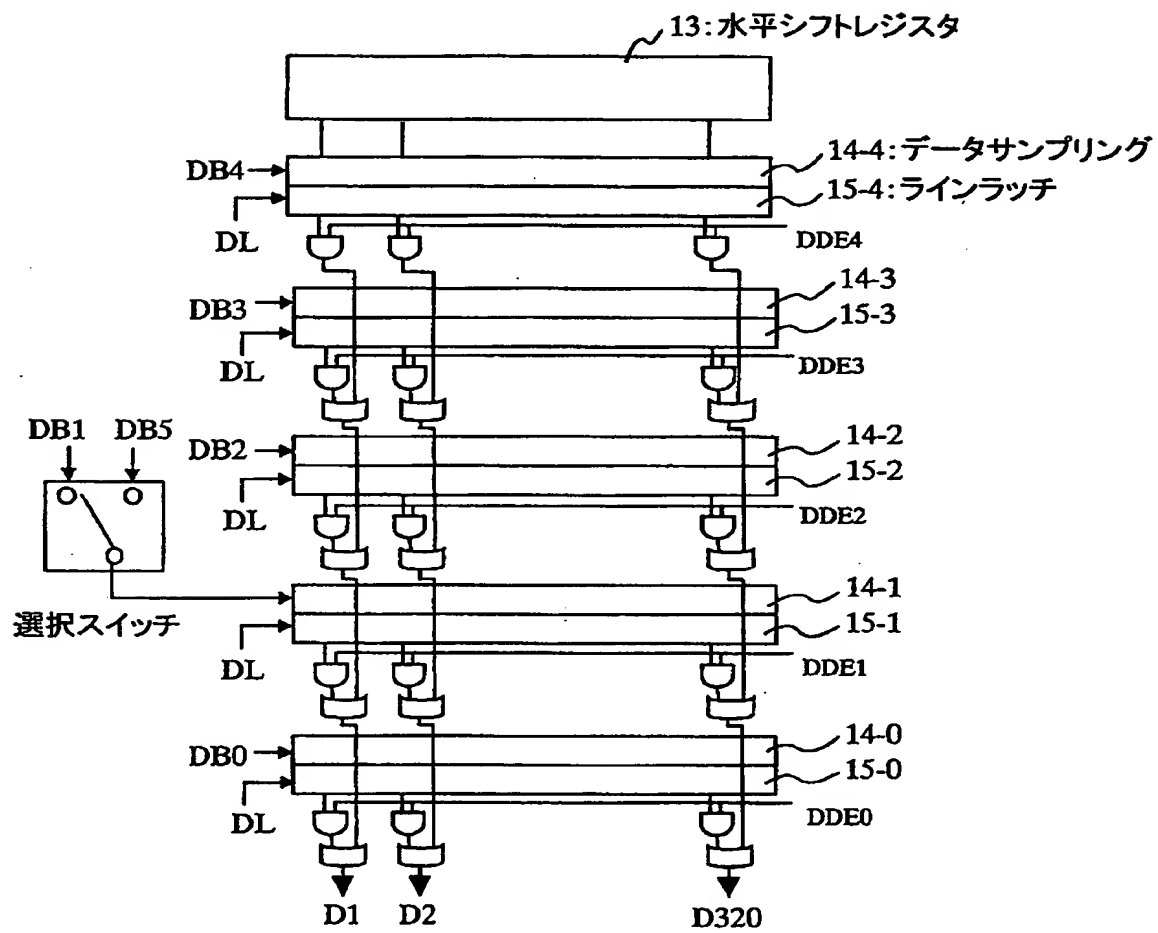




【図 5】

図 5

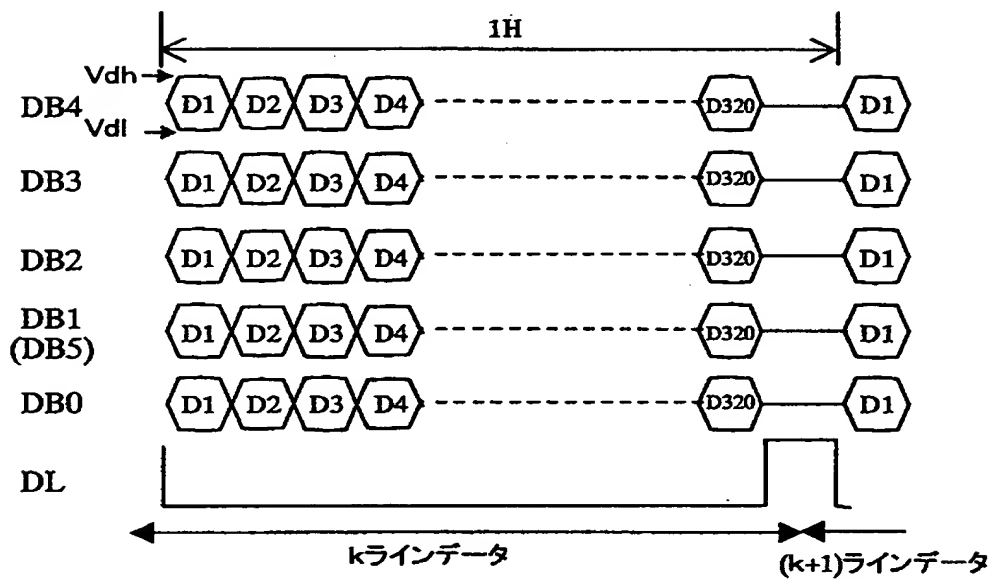
水平ドライブ回路



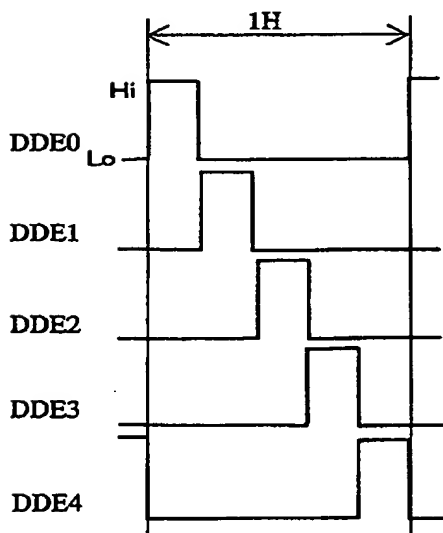
【図 6】

図 6

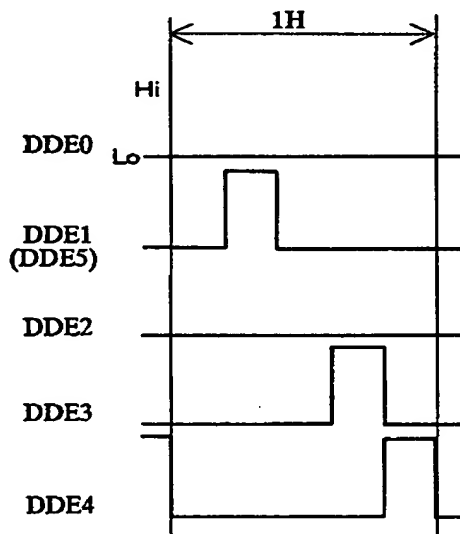
(a)



(b)

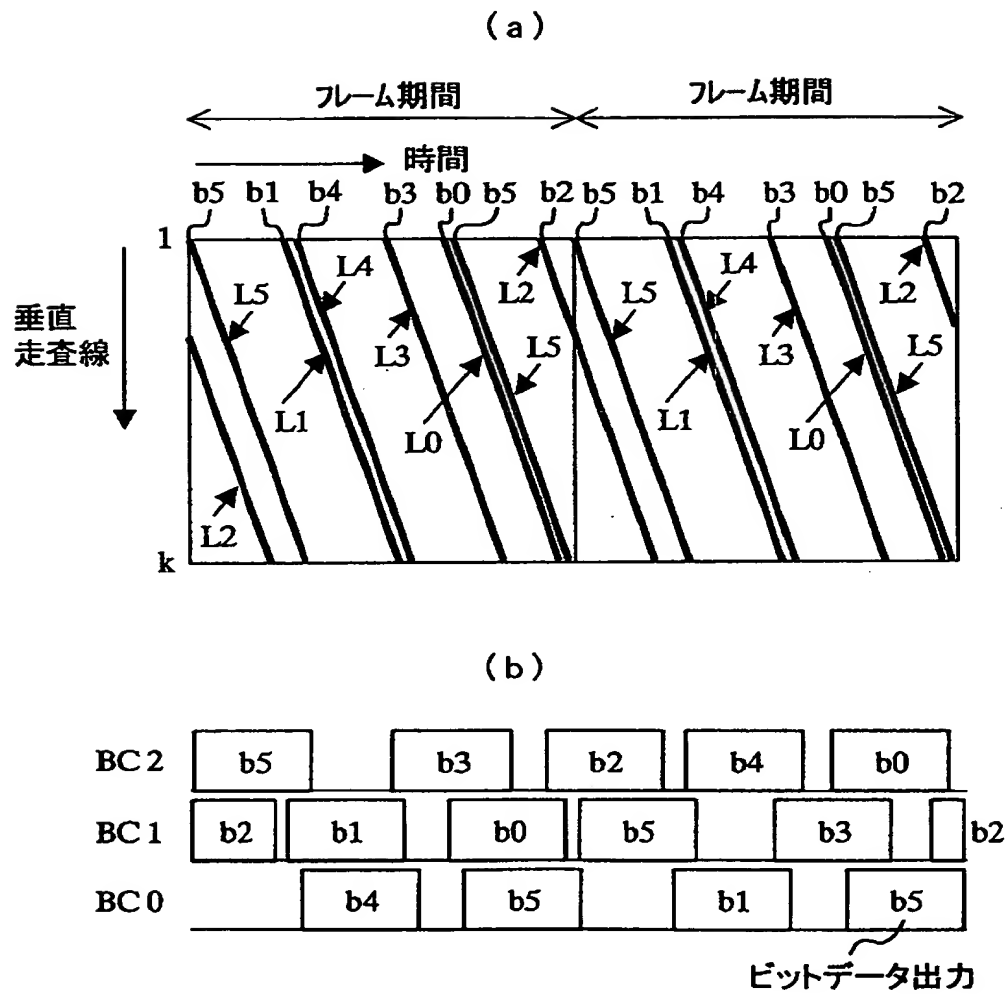


(c)



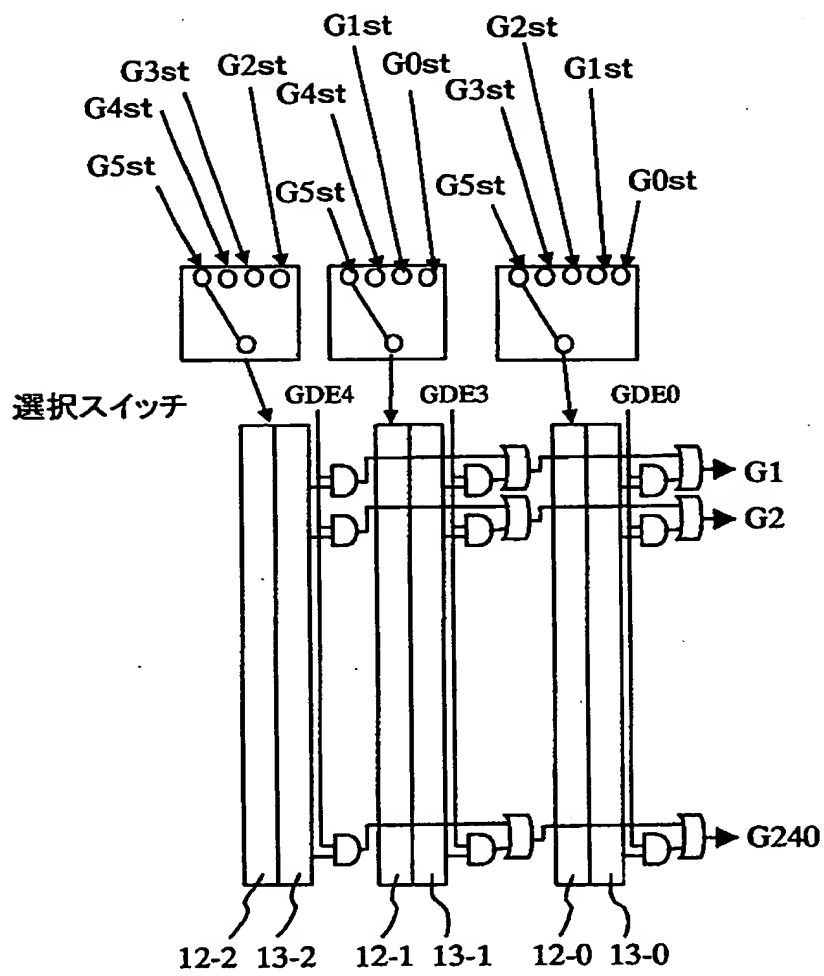
【図 7】

図 7



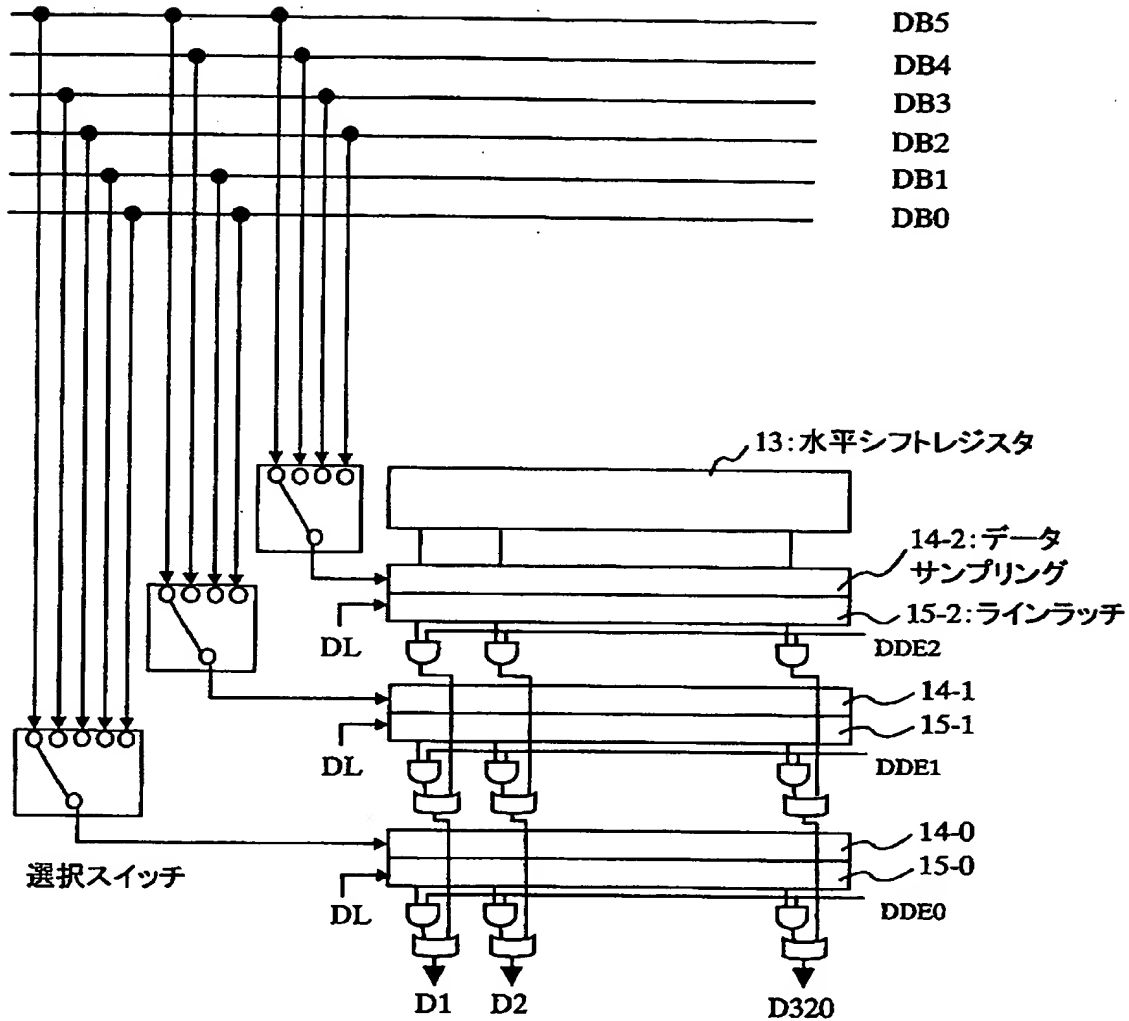
【図 8】

図 8



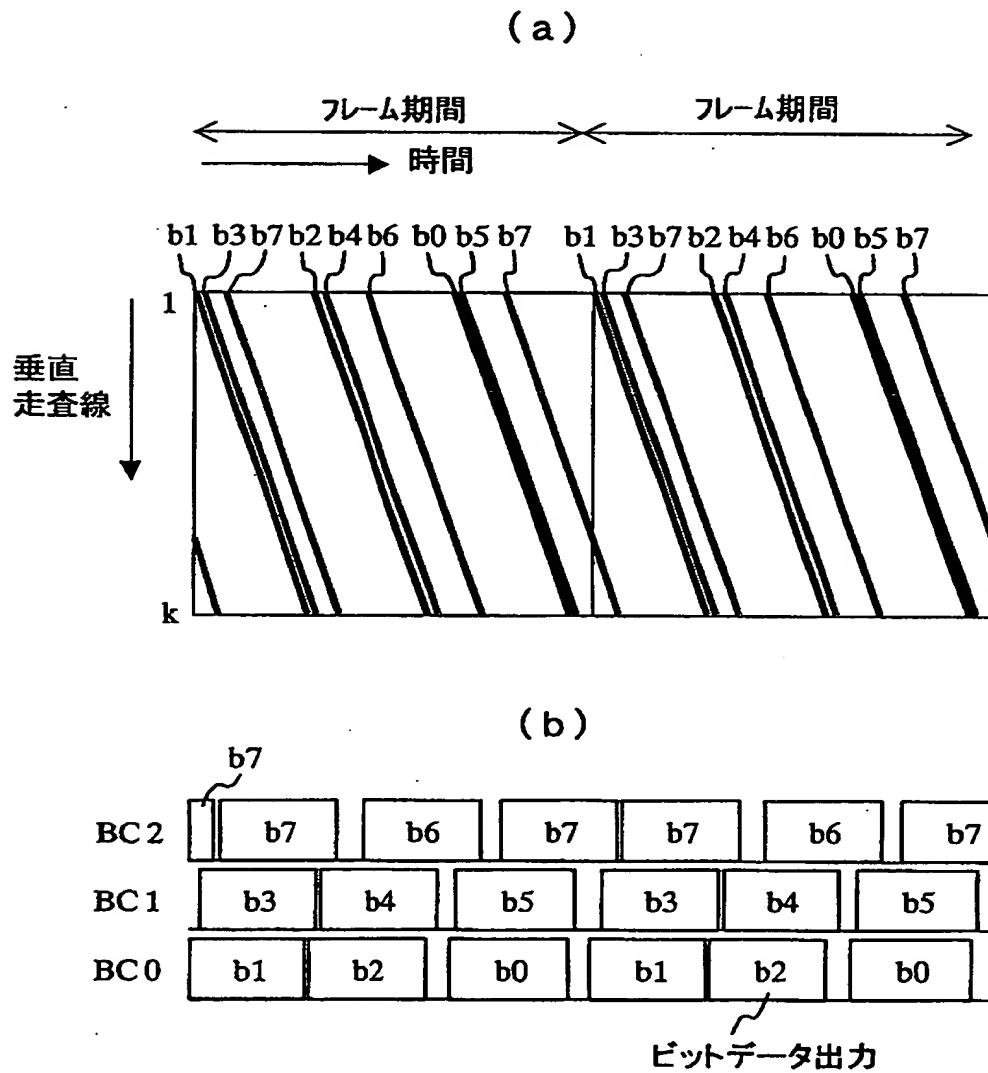
【図9】

図 9



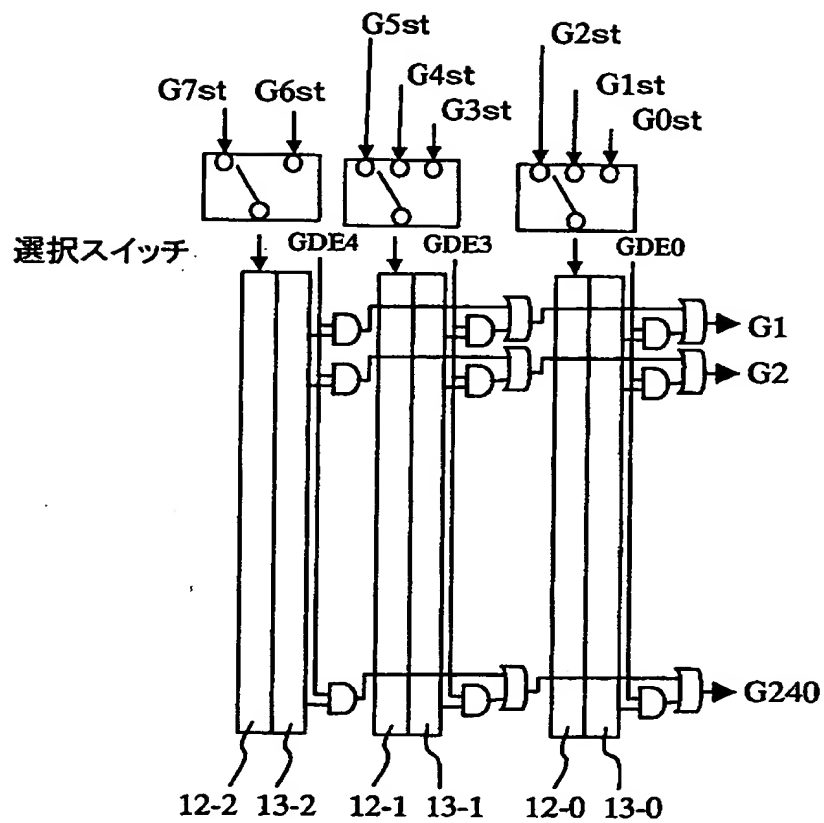
【図 1 0】

図 1 0



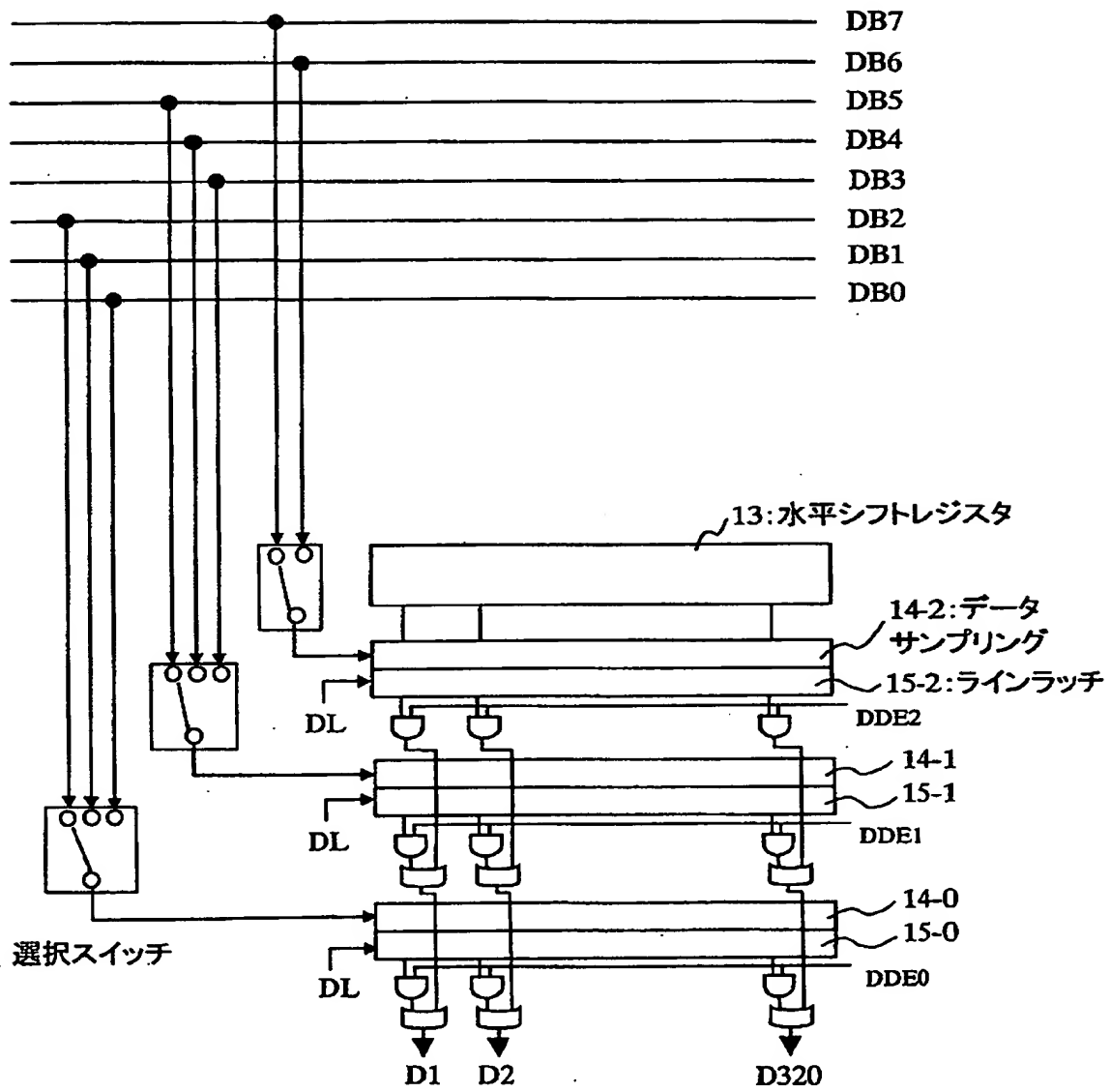
【図 1 1】

図 1 1



【図 12】

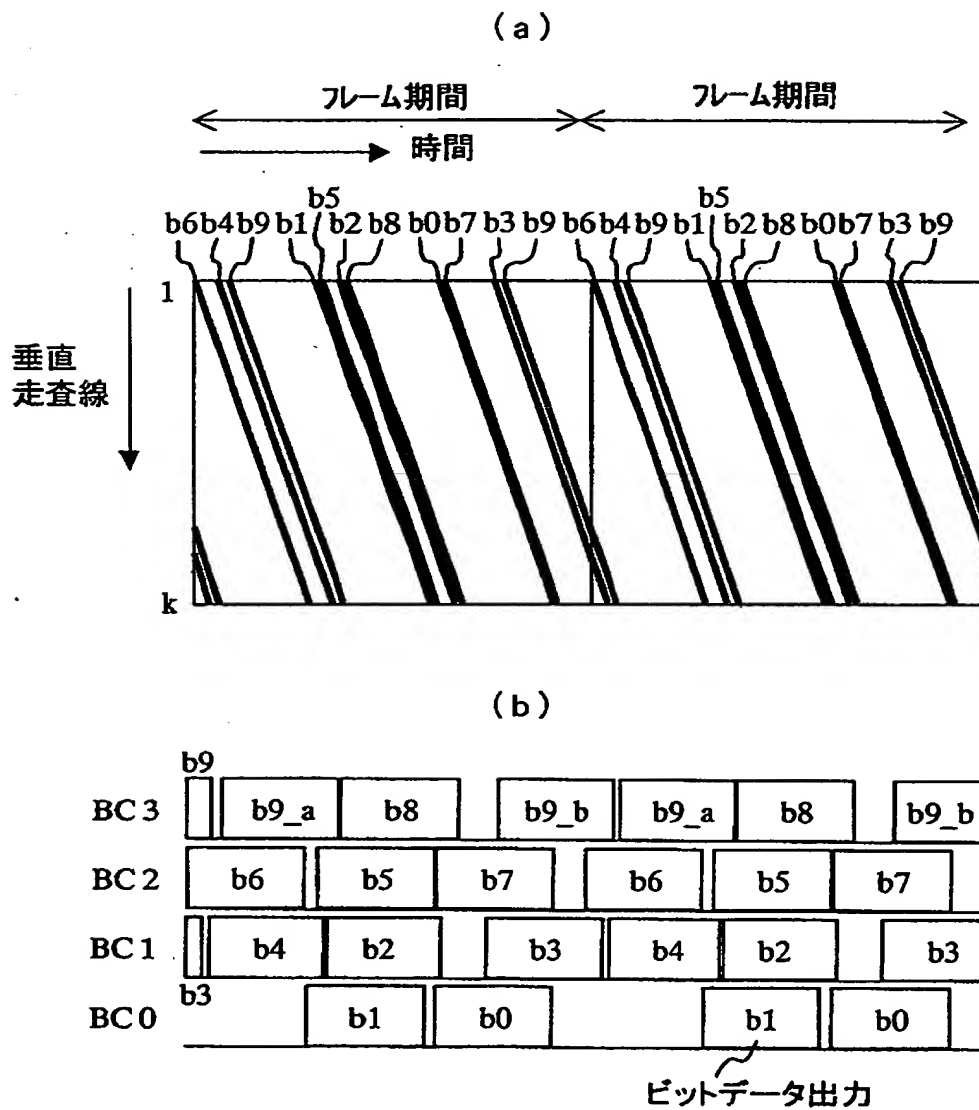
図 12





【図 13】

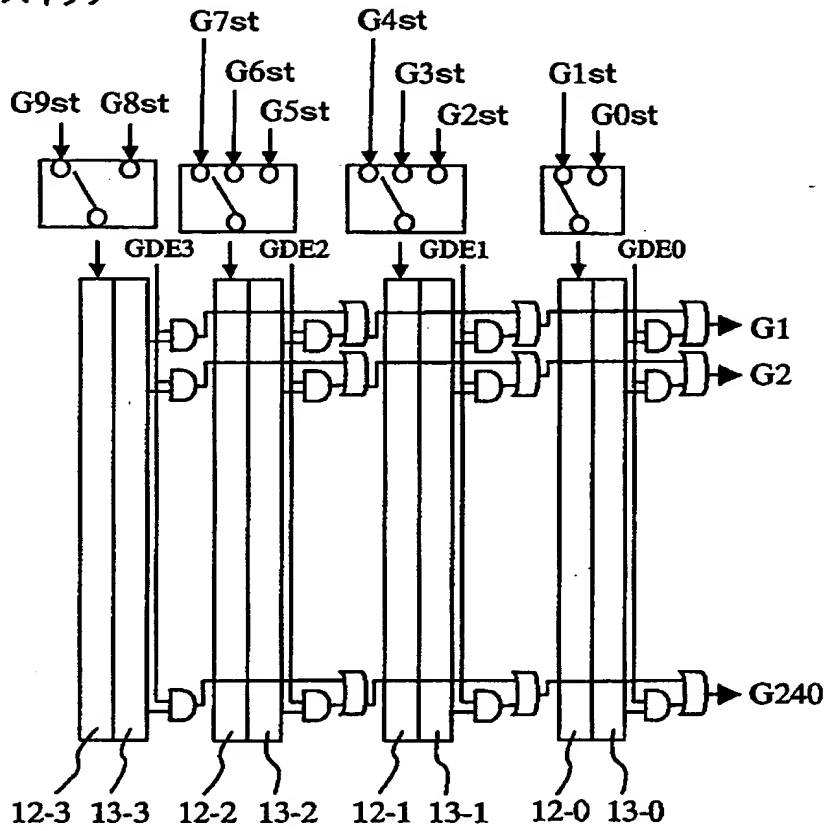
図 13



【図 14】

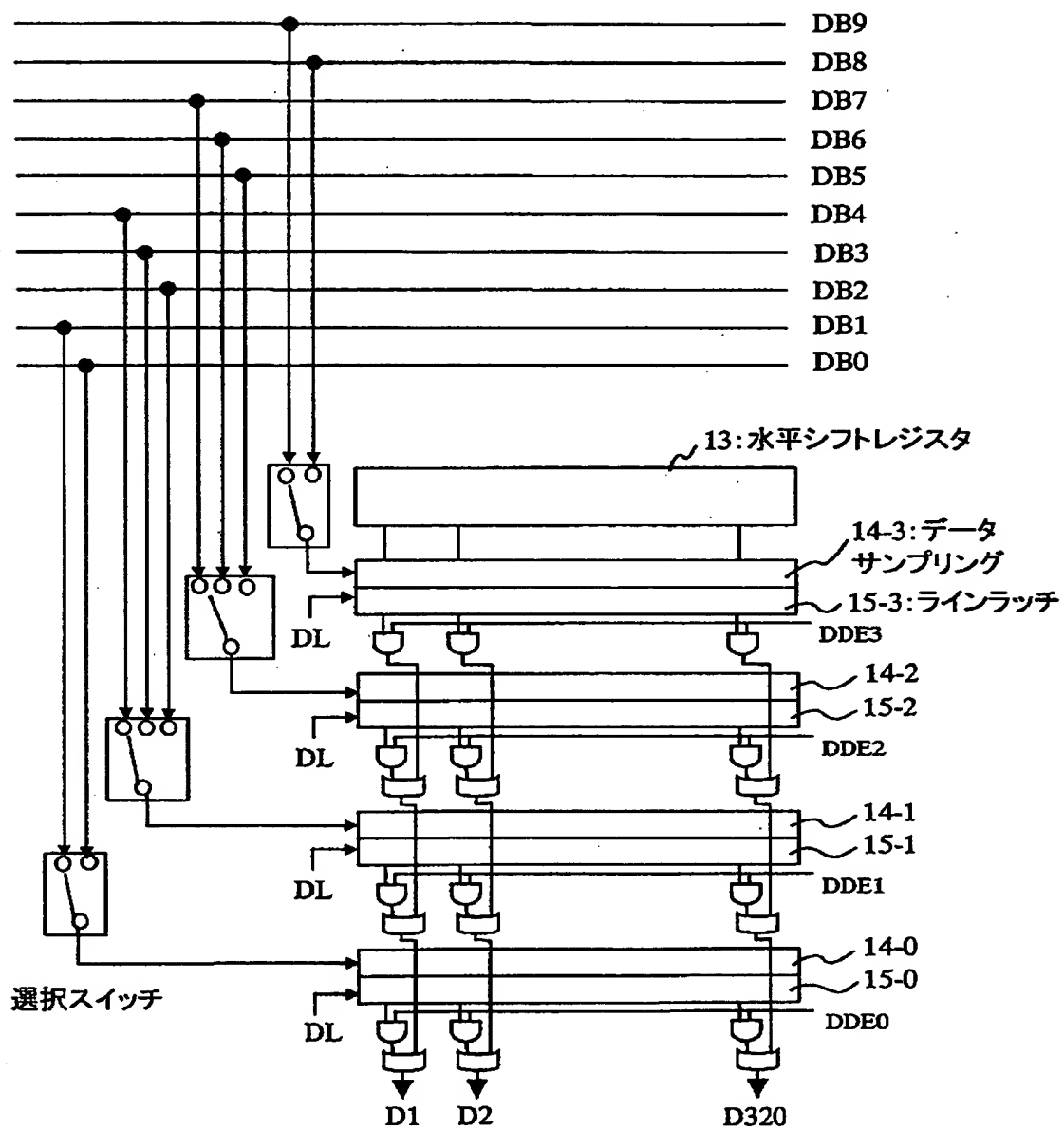
図 14

選択スイッチ



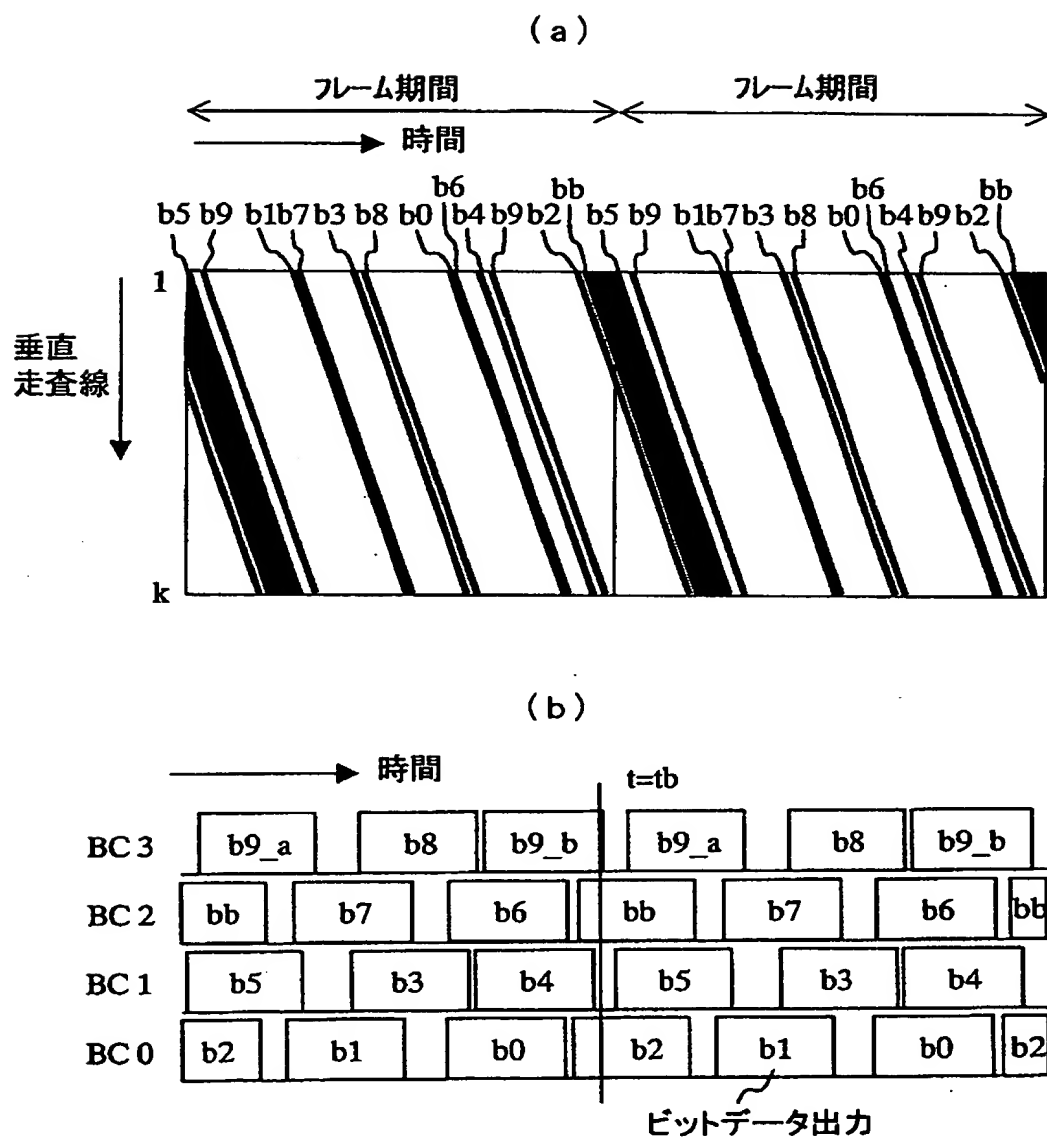
【図 15】

圖 15



【図 1 6】

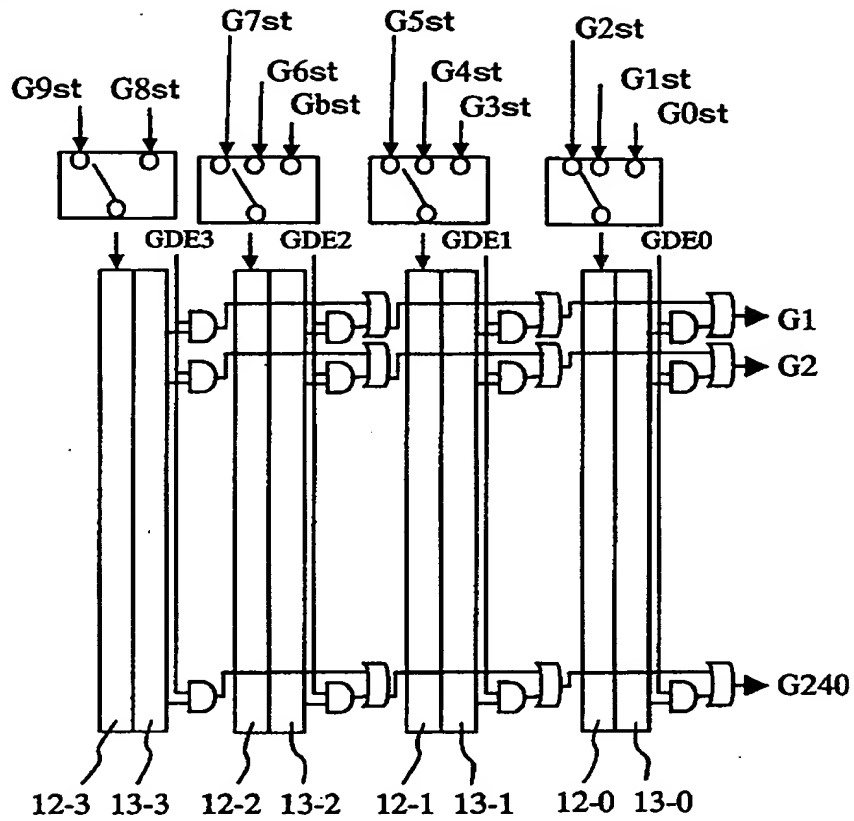
図 1 6



【図 17】

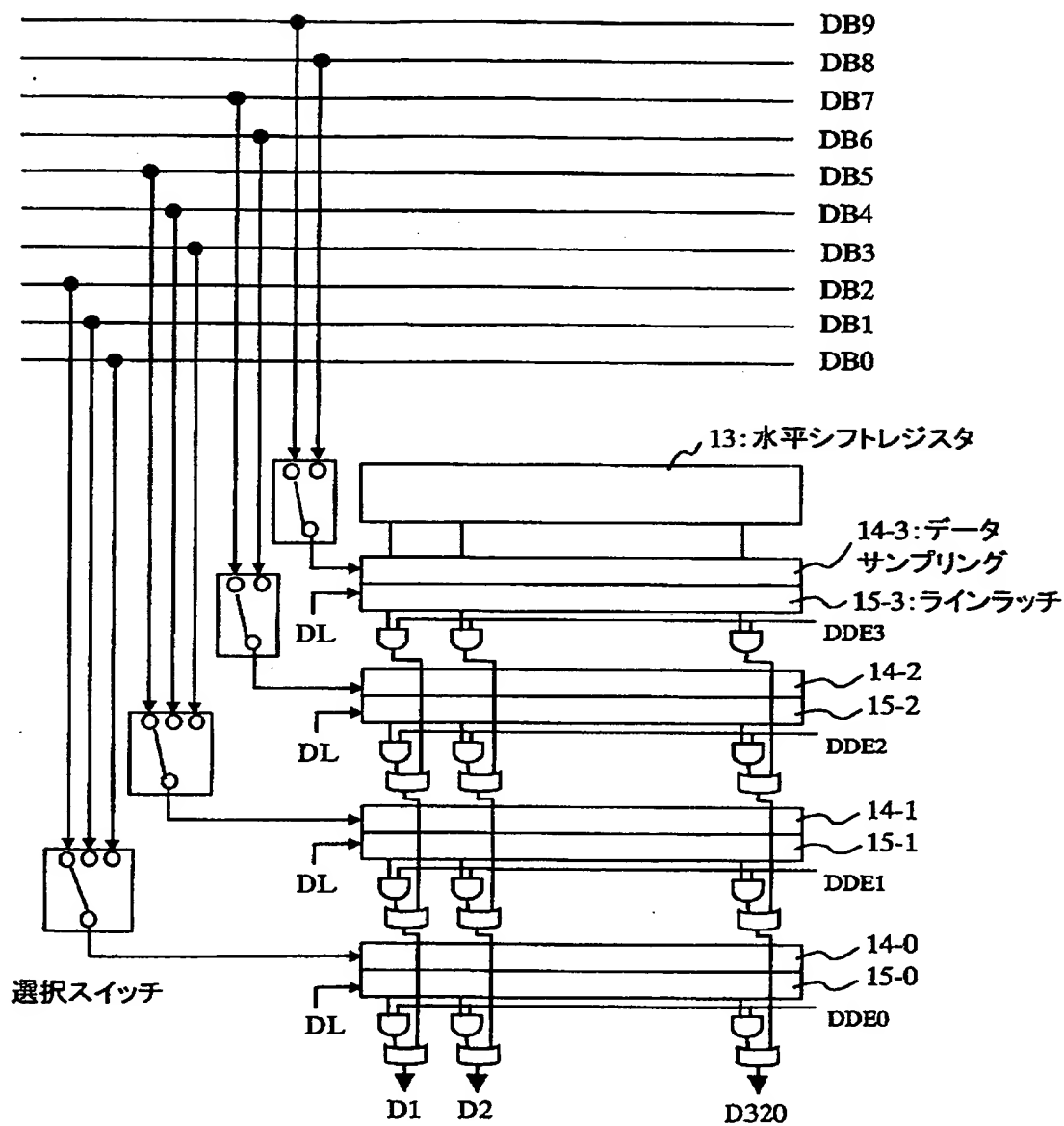
図 17

選択スイッチ



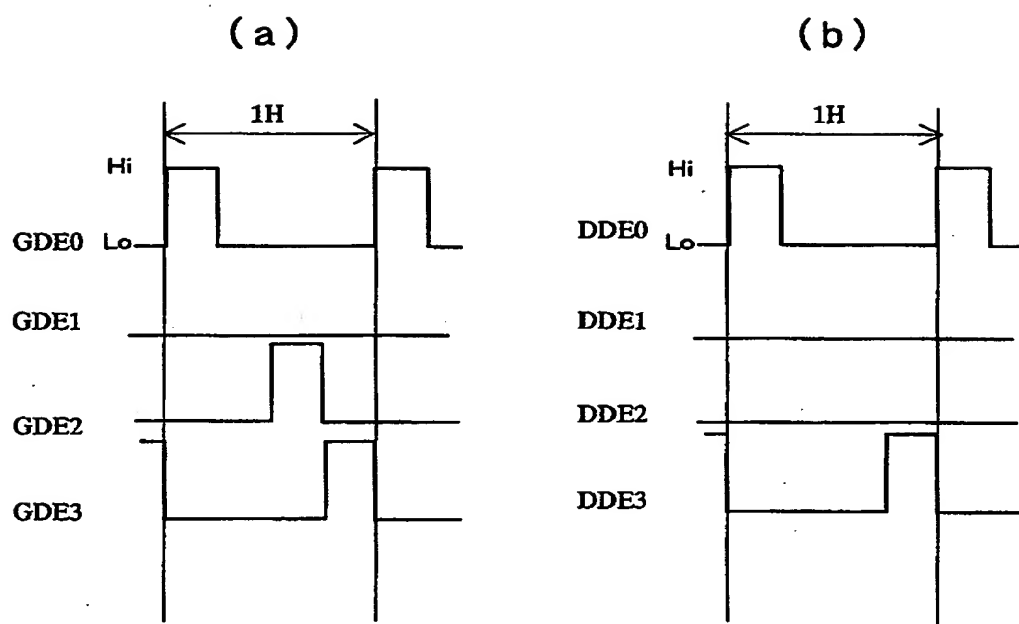
【図 18】

図 18



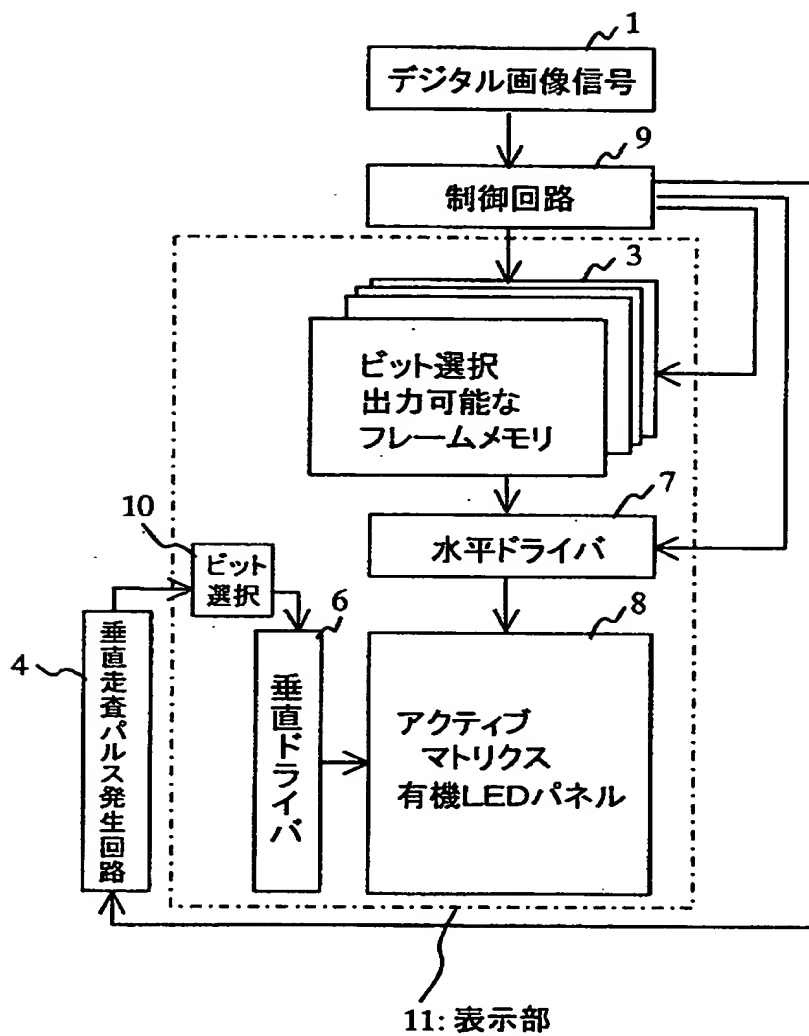
【図 1 9】

図 1 9



【図20】

図 20

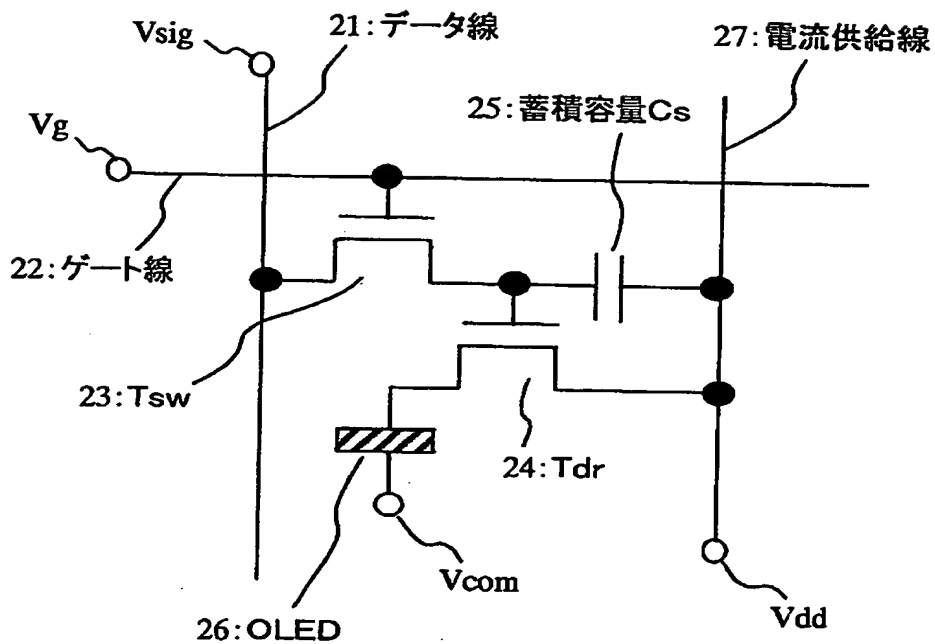




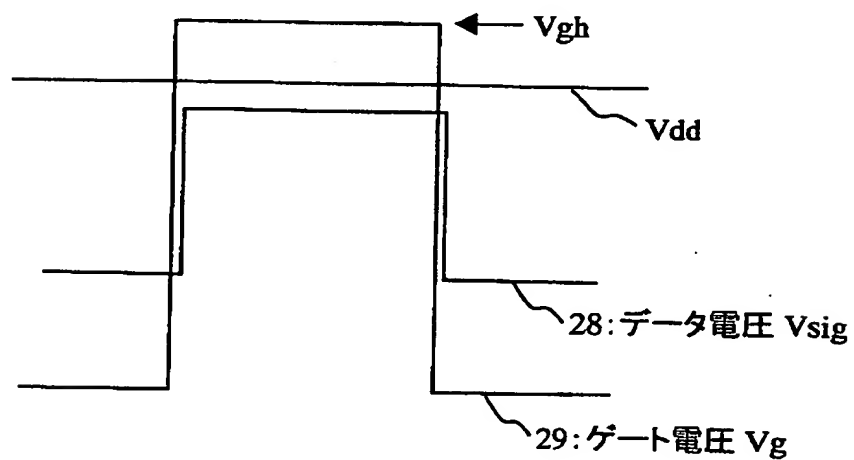
【図 21】

図 21

(a)

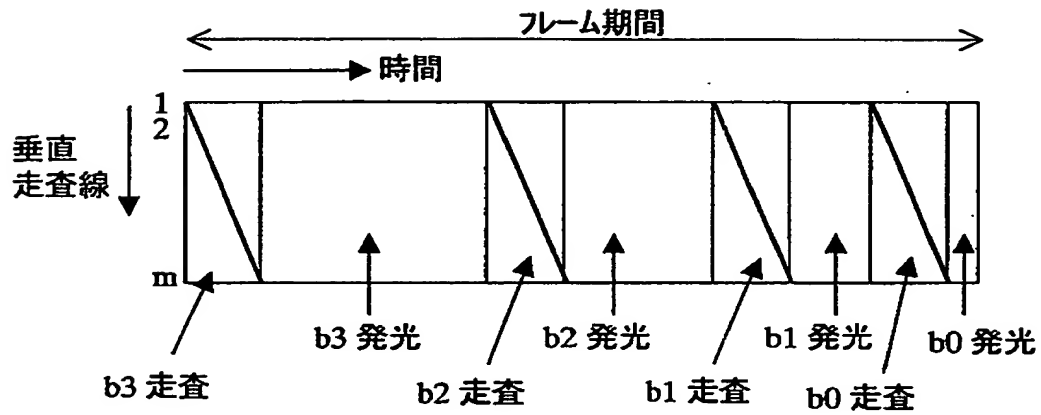


(b)



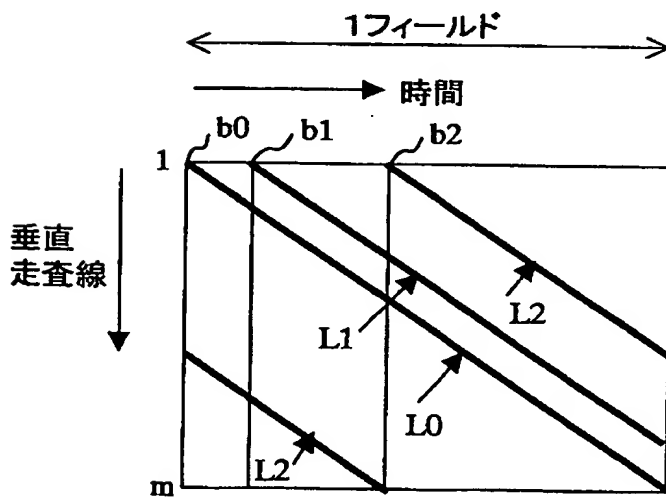
【図 2 2】

図 2 2



【図 2 3】

図 2 3



【書類名】 要約書

【要約】

【課題】 垂直走査を多重化したデジタル駆動によるアクティブマトリクス表示素子の構成を提供する。

【解決手段】 ビット対応に順序回路及び論理演算回路を有し、それらと水平走査期間の分割制御信号との積を順次加える垂直ドライバ6と、ビット対応にラインラッチを設け、水平走査期間の分割制御信号との積を順次加える水平ドライバ7を有し、かつ、垂直ドライバ6及び水平ドライバ7の入力部にそれぞれビット選択回路を有して、入力の一部は複数のビットの信号を切替えて入力する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所